

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077572

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 23/12

H01L 23/14

H01L 23/28

(21)Application number : 11-246335

(71)Applicant : ANAM SEMICONDUCTOR INC

(22)Date of filing : 31.08.1999

(72)Inventor : IN CHUKUN
KYO DAIHEI

(30)Priority

Priority number : 98 9835605

Priority date : 31.08.1998

Priority country : KR

98 9835606

31.08.1998

98 9835607

31.08.1998

KR

98 9835613

31.08.1998

98 9835615

31.08.1998

KR

98 9835616

31.08.1998

KR

KR

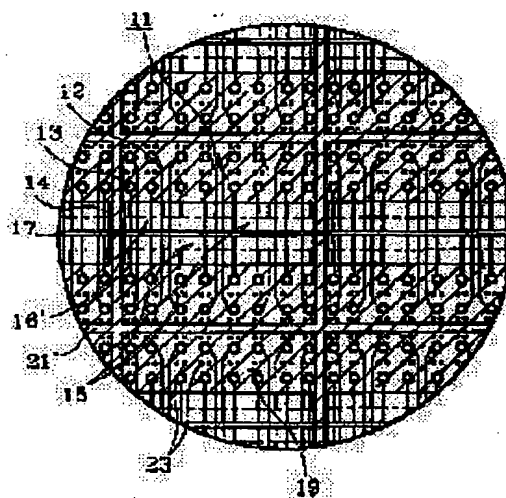
KR

(54) CIRCUIT PATTERN TAPE AND SEMICONDUCTOR PACKAGE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent chipping phenomena due to the difference in material at singularization by positioning a bond finger formation region and a through-part formation-scheduled region so that they do not overlap a singularization line.

SOLUTION: At a circuit pattern unit 11, a through-part formation-scheduled region 16' and a bond finger formation region 5 contacting and facing if, are provided. In a bond finger formation region 15, a bond finger 14 connected electrically to a die pad and a solder ball land 13 are arrayed, with the bond finger 14 and the solder ball land 13 are connected electrically with a conductive trace 12. A circuit pattern, where the bond finger formation region 15 and the through-part formation-scheduled region 16' do not overlap a singularization line 21', is provided, with the entire region except for the solder ball land 13, the through-part formation-scheduled region 16', and bond finger formation region 15 covered with an insulating cover coat 19.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 02.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3208401

[Date of registration] 13.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



US006479887B1

(12) **United States Patent**
Yoon et al.

(10) **Patent No.:** **US 6,479,887 B1**
(45) **Date of Patent:** **Nov. 12, 2002**

(54) **CIRCUIT PATTERN TAPE FOR WAFER-SCALE PRODUCTION OF CHIP SIZE SEMICONDUCTOR PACKAGES**

(75) **Inventors:** **Ju-Hoon Yoon, Seoul (KR);**
Dae-Byung Kang, Seoul (KR)

(73) **Assignee:** **Amkor Technology, Inc., Chandler, AZ (US)**

(*) **Notice:** Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) **Appl. No.:** **09/387,377**

(22) **Filed:** **Aug. 30, 1999**

(30) **Foreign Application Priority Data**

Aug. 31, 1998	(KR)	98-35605
Aug. 31, 1998	(KR)	98-35606
Aug. 31, 1998	(KR)	98-35607
Aug. 31, 1998	(KR)	98-35613
Aug. 31, 1998	(KR)	98-35615
Aug. 31, 1998	(KR)	98-35616

(51) **Int. Cl.⁷** **H01L 23/495; H01L 23/48;**
H01L 23/52; H01L 29/40

(52) **U.S. Cl.** **257/666; 257/667; 257/786**

(58) **Field of Search** **257/713, 909,**
257/666, 786, 667; 438/113, 114, 435

(56) **References Cited**

U.S. PATENT DOCUMENTS

3,810,301 A	5/1974	Cook	29/593
4,985,988 A	1/1991	Littlebury	29/827
5,049,434 A	9/1991	Wasulko	428/202
5,092,954 A	3/1992	Braun et al.	156/540

(List continued on next page.)

OTHER PUBLICATIONS

Yoon et al., U.S. Patent Application Ser. No. 09/385,694 filed Aug. 30, 1999 entitled "Wafer-Scale Production of Chip-Scale Semiconductor Packages Using Wafer Mapping Techniques".

Yoon et al., U.S. Patent Application Ser. No. 09/385,695 filed Aug. 30, 1999 entitled "Method for Laminating Circuit Pattern Tape Over Wafer".

Ohzone, et al., "A Study on Hot-Carrier-Induced Photoemission in n-MOSFET's Under Dynamic Operation", Toyama National College of Technology, pp. 75-80.

Braun, Alexander E., "Defect Detection Overcomes Limitations," Semiconductor International; ; Newtown; Feb. 1999, pp. 1-9.

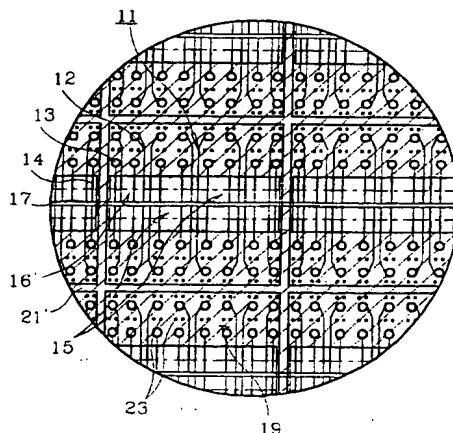
Primary Examiner—Carl Whitehead, Jr.

Assistant Examiner—Kiesha Rose

(57) **ABSTRACT**

A circuit pattern tape for the wafer-scale production of chip size semiconductor packages is adapted to be laminated onto a semiconductor wafer and includes a flexible insulating layer, a plurality of identical circuit pattern units arrayed thereon, and a solder mask covering the circuit patterns. Each circuit pattern unit includes a central opening, a plurality of bond fingers arranged on opposite sides of the opening and electrically connected through the opening to associated die pads on an underlying semiconductor chip in the wafer, a plurality of solder ball lands, each having a solder ball attached thereto, and a plurality of conductive traces electrically connecting respective ones of the bond fingers and the solder ball lands to each other. The bond fingers and central opening are arranged so that they do not intersect singulation lines defining the coincident edges of the corresponding individual circuit pattern units and chips after they are cut from the wafer-tape assembly, thereby eliminating chipping of the wafer. The circuit pattern units may include a dummy pattern that is made of the same conductive metal as the solder ball lands, the conductive traces, and the bond fingers, and which is arranged on the circuit pattern to achieve a uniform distribution of the conductive metal thereon and thereby minimize voids between the tape and the wafer and bowing in the dissimilar materials of the tape due to a change in its temperature.

28 Claims, 37 Drawing Sheets



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-77572

(P2000-77572A)

(43)公開日 平成12年3月14日(2000.3.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 23/12		H 0 1 L 23/12	Q
23/14		23/28	Z
23/28		23/14	R

審査請求 有 請求項の数27 O L (全 22 頁)

(21)出願番号 特願平11-246335

(22)出願日 平成11年8月31日(1999.8.31)

(31)優先権主張番号 1998/P35605

(32)優先日 平成10年8月31日(1998.8.31)

(33)優先権主張国 韓国 (K R)

(31)優先権主張番号 1998/P35606

(32)優先日 平成10年8月31日(1998.8.31)

(33)優先権主張国 韓国 (K R)

(31)優先権主張番号 1998/P35607

(32)優先日 平成10年8月31日(1998.8.31)

(33)優先権主張国 韓国 (K R)

(71)出願人 598162104
亜南半導体株式会社
大韓民国 ソウル市 城東区 聖水洞 2
街 280-8

(72)発明者 尹 柱 勳
大韓民国 ソウル特別市 蘆原区 月溪 3
洞 美隆アパート 20-1303

(72)発明者 姜 大 秉
大韓民国 ソウル特別市 城東区 聖水一
街 1 洞 656-1002

(74)代理人 100093399
弁理士 瀬谷 徹 (外2名)

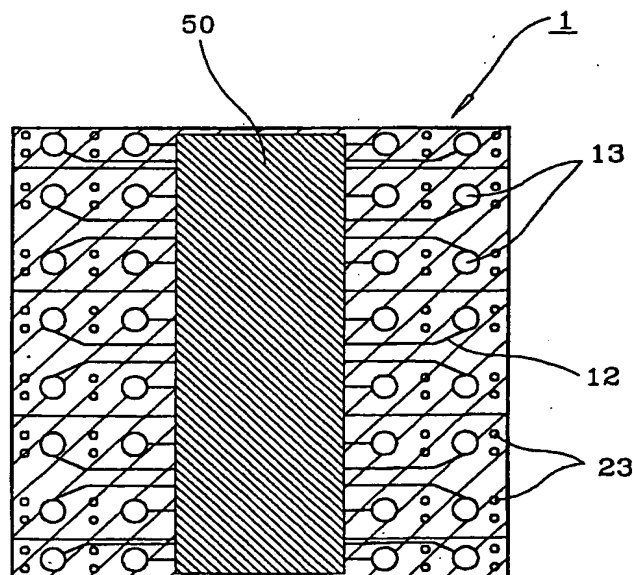
最終頁に続く

(54)【発明の名称】 回路パターンテープ及びこれを用いた半導体パッケージ

(57)【要約】

【課題】 ウェーハ上にラミネーションの時、ボイド (V oid) の発生を防止乃至抑制し、シングュレーション時、素材の相異性によるチップング (chipping) を効果的に防止し得る回路パターンテープ及びこれを用いたチップサイズ半導体パッケージを提供する。

【解決手段】 貫通部形成予定領域及びこれに接して対向するボンドフィンガー形成領域と、ボンドフィンガー形成領域内に配列され半導体チップのダイパッドと電気的に連結するための多数のボンドフィンガーと、入出力端子としての溶ダボールを附着するための多数の溶ダボールランドと、ボンドフィンガーと溶ダボールランド各々を電気的に連結する多数の導電性トレースとで構成され、ボンドフィンガー形成領域と貫通部形成予定領域がシングュレーションラインとオーバーラップしないように位置する回路パターンと、回路パターンの溶ダボールランド、ボンドフィンガー形成領域、及び貫通部形成予定領域を除外した全領域上にコーティングされる絶縁性カバーコートとで構成する。



【特許請求の範囲】

【請求項1】 貫通部形成予定領域及びこれに接して対向するボンドフィンガー形成領域と、前記ボンドフィンガー形成領域内に配列され、半導体チップのダイパッドと電気的に連結するための多数のボンドフィンガーと、入出力端子としての溶ダボールを附着するための前記ボンドフィンガー形成領域外部の多数の溶ダボールランドと、前記ボンドフィンガーと前記溶ダボールランド各々を電気的に連結する多数の導電性トレースとで構成され、前記ボンドフィンガー形成領域と前記貫通部形成予定領域がシンギュレーションラインとオーバーラップしないように位置する回路パターンと；前記回路パターンの溶ダボールランド、ボンドフィンガー形成領域、及び貫通部形成予定領域を除外した全領域上にコーティングされる絶縁性カバークोटとで構成される多数の回路パターンユニットを有することを特徴とする回路パターンテープ。

【請求項2】 前記回路パターンユニット上の溶ダボールランド、導電性トレース及びボンドフィンガーをなす導電性金属の分布度を均等化して前記回路パターンの任意な単位面積等の相互間に於いての熱膨張率の差異を最小化するためのダミー（Dummy）パターンが形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項3】 前記ダミーパターンが多数の円板状、線状、又はこれらの複合形態であることを特徴とする請求項2記載の回路パターンテープ。

【請求項4】 前記多数の回路パターンユニットの下に可撓性絶縁層が形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項5】 可撓性絶縁層がポリイミド層であることを特徴とする請求項4記載の回路パターンテープ。

【請求項6】 前記可撓性絶縁層の下にコア層が更に形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項7】 コア層が金属薄層又はガラスエポキシ層であることを特徴とする請求項6記載の回路パターンテープ。

【請求項8】 前記多数の回路パターンユニットの下にコア層としてのガラスエポキシ薄層が形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項9】 前記回路パターンテープのシンギュレーションライン上にシンギュレーションライン確認用の溝が形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項10】 前記シンギュレーションライン確認用の溝は4個の回路パターンユニットが相互に隣接する部分に位置し、クロス状に形成されることを特徴とする請求項9記載の回路パターンテープ。

【請求項11】 前記回路パターンユニット各々のボン

ドフィンガー形成領域内の貫通部形成予定領域内に鍍金用バスラインが形成され、前記多数のボンドフィンガーと前記バスラインが電気的に連結され、前記回路パターンユニット各々のバスラインが相互に電気的に連結されることを特徴とする請求項1記載の回路パターンテープ。

【請求項12】 前記ボンドフィンガーの幅がバスラインとの連結のための導電性トレース、及び溶ダボールランドとの連結のための導電性トレースの幅より大きく拡張されることを特徴とする請求項11記載の回路パターンテープ。

【請求項13】 前記ボンドフィンガー形成領域内にグランドフィンガーが形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項14】 前記グランドフィンガーが前記多数のボンドフィンガーの先端部に対して垂直に位置することを特徴とする請求項13記載の回路パターンテープ。

【請求項15】 前記ボンドフィンガー形成領域を限定するカバークोटの外周縁の端部上に液相封止材のディスペンシングの時、封止材の氾濫防止用ダムが形成されることを特徴とする請求項1記載の回路パターンテープ。

【請求項16】 前記氾濫防止用ダムが第1ダムで形成され、又、前記第1ダムの外周縁から一定の距離を置き、離隔して第2ダムが形成されることを特徴とする請求項15記載の回路パターンテープ。

【請求項17】 前記氾濫防止用ダムがカバークोट上の絶縁層で形成されることを特徴とする請求項15記載の回路パターンテープ。

【請求項18】 前記氾濫防止用ダムは隣接したカバークोटより厚く形成されることを特徴とする請求項15記載の回路パターンテープ。

【請求項19】 前記回路パターンテープは正方形又は長方形であり、多数の回路パターンユニットがその中央部に配列され、全体的にウェーハと同じ円形部をなし、前記円形部の外側にフレーム部が位置し、前記円形部の回路パターンユニットが存在しない外周縁部及びフレーム部には平板状の金属薄層が存在し、前記円形部と前記フレーム部間にカバークोट及び金属薄層が存在しない少なくとも一つ以上のボウイング防止部が形成され、前記円形部の回路パターンユニットが存在しない外周縁部の平板状の金属薄層と前記フレーム部の平板状の金属薄層がバースバーによって連結されることを特徴とする請求項4記載の回路パターンテープ。

【請求項20】 前記多数の回路パターンユニットでなる円形部の外周縁に全放射方向への熱膨張率の差異を最小化するためのダミーパターンが形成されることを特徴とする請求項19記載の回路パターンテープ。

【請求項21】 前記ダミー（Dummy）パターンが多数の円板状金属薄層の配列でなることを特徴とする請求項2

0記載の回路パターンテープ。

【請求項22】 前記周辺部に於いての前記カバーコートと前記金属薄層との熱膨張率の差異によるボウイング(Bowing)現象を緩和するために前記カバーコート上に多数の開口が形成されることを特徴とする請求項19記載の回路パターンテープ。

【請求項23】 前記周辺部に於いての前記カバーコートと前記金属薄層との熱膨張率の差異によるボウイング(Bowing)現象を緩和するために前記カバーコート上に多数のボウイング防止用の放射状溝が形成されることを特徴とする請求項19記載の回路パターンテープ。

【請求項24】 前記周辺部にカバーコート及び金属薄層が存在しない認識マークの附着部位が形成されることを特徴とする請求項19記載の回路パターンテープ。

【請求項25】 入出力端子としてのダイパッドを有する半導体チップと;貫通部及びこれに接して対向するボンДФィンガー形成領域と、前記ボンДФィンガー形成領域内に配列され半導体チップのダイパッドと電気的に連結するための多数のボンДФィンガーと、入出力端子としての溶ダボールを附着するための前記ボンДФィンガー形成領域外部の多数の溶ダボールランドと、前記ボンДФィンガーと前記溶ダボールランド各々を電気的に連結する多数の導電性トレースとで構成され、前記ボンДФィンガー形成領域と前記貫通部がシンギュレーションラインとオーバーラップしないように位置する回路パターンと;前記回路パターンの溶ダボールランド、ボンДФィンガー形成領域、及び貫通部を除外した全領域上にコーティングされる絶縁性カバーコートで構成され、接着層を介在させて前記貫通部内に前記ダイパッドが位置するように前記半導体チップ上にラミネーションされた回路パターンテープと;前記ダイパッドと前記ボンДФィンガーを電気的に連結するボンディングワイヤと;前記貫通部及び前記ボンДФィンガー形成領域を封止して前記ボンディングワイヤを外環境から保護するための樹脂封止部と;前記溶ダボールランド上に附着される外部入出力端子としての溶ダボールとで構成されることを特徴とするチップサイズ半導体パッケージ。

【請求項26】 前記回路パターンテープが溶ダボールランド、導電性トレース及びボンДФィンガーをなす導電性金属の分布度を均等化して前記回路パターンの任意な単位面積等の相互間に於いての熱膨張率の差異を最小化するためのダミー(Dummy)パターンを有することを特徴とする請求項25記載のチップサイズ半導体パッケージ。

【請求項27】 前記ダミーパターンが多数の円板状、線状、又はこれらの複合形態であることを特徴とする請求項26記載のチップサイズ半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体パッケージ用回路パターンテープ及びこれを用いた半導体パッケージに関するもので、より詳しくは、回路パターンを形成する金属の分布度を均一化するためのダミー(Dummy)パターンを形成することによってウェーハ上にラミネーションの際に、ボイド(Void)の発生を防止乃至抑制すると共に、樹脂封止部の形成領域をウェーハのシンギュレーションラインを避けて形成することにより、シンギュレーション時に、素材の相異性によるチップング(chip ping; 詳細は後述)を効果的に防止し得る回路パターンテープ及びこれを用いたチップサイズ半導体パッケージに関するものである。

【0002】

【従来の技術】 近年、家庭用及び事務用の電子製品、通信機器及びコンピューター等のような電子装置の急速な小型化及び高性能化の趨勢にともない、これらの電子装置内に使用される半導体パッケージも小型化、軽量化、超多ピン化を図りながらも高性能化が要求されてきている。このような趨勢にともない、半導体パッケージのサイズが、半導体チップのサイズと略同一である半導体パッケージ、別名チップサイズ(又はスケール)半導体パッケージ又はチップオンボード(chip-on-board)半導体パッケージが出現して、その需要を急速に拡大している。このようなチップサイズ半導体パッケージは、多数の半導体チップユニットが形成されるウェーハ上に多数の回路パターンユニットが形成されている回路パターンテープをラミネーションさせた状態で、半導体チップのダイパッドと回路パターンを電気的に接続するワイヤボンディング、ワイヤボンディング部に対する樹脂封止部の形成及び外部入出力端子としての溶ダボール附着等の通常的なパッケージング課程を遂行した後に、最終的に多数の半導体パッケージユニットが形成されているウェーハを各々の半導体チップにシンギュレーションすることにより、個々の独立した半導体パッケージが製造される。

【0003】 図34は従来の半導体パッケージ用回路パターンテープ10'の平面図で、独立した回路パターンが形成されている多数の回路パターンユニット11が、ウェーハ(図38の符号2参照)形状に対応する部分に形成されている。その上面にはカバーコート19がコーティングされている。

【0004】 図35は図34のF部拡大図であり、4個の回路パターンユニット11が接している部分を図示している。図35で、導電性トレース12の一端はカバーコート19がコーティングされておらず、外部入出力端子としての溶ダボール(図示せず)が附着される溶ダボールランド13に連結され、他端はボンДФィンガー形成領域15内のボンДФィンガー14に連結され、各々の回路パターンユニット11内のこのような多数の導電性トレース12等が集合して回路パターンを形成し

ている。ボンДФィンガー形成領域15の内部は、カバーコート19がコーティングされていないのでボンДФィンガー14は溶ダボールランド13と同様に外部に露出されている。

【0005】一方、ボンДФィンガー形成領域15内の貫通部形成予定領域16'は、多数の半導体チップユニット3が形成されているウェーハ2と回路パターンテープ10'をラミネーションに先だって穿孔除去される領域であり、穿孔された貫通部を通じて半導体チップユニット(図38の符号3参照)上のダイパッド(図39の符号4参照)が上方へ露出され、前記ダイパッド4とボンДФィンガー14は導電性ワイヤ(図43の符号40参照)によって連結される。未説明符号17はバスラインであり、溶ダボールランド13上に溶ダボール(未図示)が容易に附着できるように、例えば、ニッケル(Ni)/金(Au)をコーティングするか、又はボンДФィンガー14にワイヤ(未図示)が容易にボンディングされるように、例えば、金(Au)又は銀(Ag)をコーティングするための電解(Electrolytic)又は無電解(Electroless)鍍金に必要であり、このようなバスライン17は、半導体パッケージの完成後、シンギュレーションライン21に沿って切断し、個々に分離される時、前記バスライン17により各々の導電性トレース12が互に道通するのを防止するために必ず完全に除去しなければならない。

【0006】しかし、このような従来の回路パターンテープ10'を利用してチップサイズ半導体パッケージを製造する場合に於いては、回路パターンユニット11の相互の間隔が非常に微細であるので、シンギュレーション時の切断位置を精密に選定するのが決して容易ではなく、このような切断位置の微細な誤差によっても前記バスライン17が完璧に除去されない不良の半導体パッケージユニットが多数形成されてしまうという問題点がある。

【0007】図36は図34のVII-VII線断面図、図37は図35のVIII-VIII線断面図であり、従来の半導体パッケージ用回路パターンテープ10'の断面構造を図示している。これを便宜上ここで説明すれば、最下層は絶縁性ポリイミド層18であり、回路パターンユニット11領域に於いてはポリイミド層18上に溶ダボールランド13及び導電性トレース12が形成され、貫通部16の外周縁の上面にはボンДФィンガー14が形成され、導電性トレース12上には絶縁性カバーコート19が積層されている。前記溶ダボールランド13及びボンДФィンガー14上にはカバーコート19が積層されずに上方へ露出している。一方、回路パターンユニット11の外部領域に於いては、ポリイミド層18上に導電性金属薄板12'が積層され、その上面にはカバーコート19が積層されている。

【0008】しかし、このような従来の回路パターンテ

ープ10'に於いては、図35及び図37に図示したように、回路パターンが形成されている回路パターンユニット11のボンДФィンガー形成領域15に半導体チップ(図43の符号3参照)の信号を引出すボンДФィンガー14だけが形成されているので、前記半導体チップのグランド(ground)信号をグランドボンディングするためには前記ボンДФィンガー14と連結されている多数の導電性トレース12を互いに連結、例えば、多数の溶ダボールランド13を電氣的に互いに連結して使用される。よって、このような構造の回路パターンに於いては、前記連結部に導電性トレース12で構成される回路パターンを形成することができる空間的余裕が低下するのは勿論、グランドボンディングされるボンДФィンガーを前記半導体チップのグランド信号と対応するように形成しなければならないので、設計上の自由度が制約を受けるようになり、これにより半導体チップのダイパッド数の増加には限界があるという問題がある。

【0009】図38は多数の半導体チップユニット3がシンギュレーションライン21によって区画されている一般的なウェーハ2の平面図であり、図39は図38のG部分の拡大図で、各々の半導体チップユニット3上面にワイヤボンディング用ダイパッド4が形成されている状態を図示しているが、この図示は一例に過ぎず、ダイパッド4の配列形態は1列又は多数の列に形成することができる。

【0010】図40は図34の従来の回路パターンテープ10'を図38に図示した通常的なウェーハ2上にラミネーションした後、パッケージングして製造された多数の半導体パッケージ1'が形成されたシンギュレーションの前段階におけるウェーハ2の平面図である。また、図41は図40に示すH部分拡大図であり、図34での貫通孔形成領域16'を穿孔して貫通部16を形成した後、ウェーハ2上にラミネーションさせ、ワイヤボンディング後、前記貫通部16及びボンДФィンガー形成領域15に液相エポキシ樹脂等をディスペンシングした後、硬化させて形成する樹脂封止部50は、一つの半導体パッケージ1'に2個の分離された樹脂封止部50を有し、各々の樹脂封止部50は、隣接した異なる半導体パッケージ1'と共有され、その中央部にはシンギュレーションライン21が横切って位置する。前記樹脂封止部50は、前記ボンディングワイヤ及びボンДФィンガー14部分等を外部環境から保護するために形成され、次いで、外部入出力端子としての溶ダボール(図43の符号60参照)が溶ダボールランド(13)上に附着される。

【0011】しかし、前記のような従来の回路パターンテープ10'を利用して通常的なウェーハ2上にラミネーションさせた場合、前記ポリイミド層18及び接着層30は半透明体であるが、前記カバーコート19及び前記回路パターンは不透明体であるので、ウェーハ2上に

表示されているシンギュレーションライン21を視野から遮断するようになる。この場合、従来の回路パターンテープ10'上にも勿論シンギュレーションライン21が表示されているが、ウェーハ2上に延伸性が比較的大きい回路パターンテープ10'をラミネーションさせる場合、総ての回路パターンユニット11各々を全ての半導体チップユニット3上に各々微細な誤差もなく正確に位置させるのは困難であることから、正確なシンギュレーションの位置確認が難しくなる。よって、正確な位置及び規格のシンギュレーションが困難になり、ウェーハ2上の全体的な半導体パッケージ1'の生産収率の低下を招来するという問題点がある。

【0012】又、前記のような従来の回路パターンテープ10'を利用したウェーハ2上へのラミネーションは、高温工程下で遂行されるので、回路パターンを構成する導電性金属の分布が一定しない従来の回路パターンテープ10'に於いては、前記導電性金属と樹脂類であるカバーコート19及びポリイミド層18との比較的大きい熱膨張率の差異によって容易にボイドが生成されるという問題点がある。

【0013】殊に、高温工程下でのラミネーションの完了後、従来の回路パターンテープ10'がラミネーションされたウェーハ2を常温で放置する時、前記のような比較的大きい熱膨張率の差異によってボウイング(Bowing)現象が発生し易く、このような現象は、従来の回路パターンテープ10'に於いての回路パターンユニット11形成領域外部の広い面積の平板状の導電性金属薄層12'と、その上下のカバーコート19及びポリイミド層18の存在に因って前記ボウイング(Bowing)現象がさらに深化するという問題点がある。このようなボウイング現象が発生する場合には、半導体パッケージ製造時、前記回路パターンテープ10'を正確に水平状態で吸着することが困難であると共に、後続工程での円滑な進行が困難になり、結果的に、製造された半導体パッケージ1'の不良化を招来するという問題点を誘発することになる。

【0014】前記のような従来の回路パターンテープ10'に於いての今一つの問題点として、液相エポキシ樹脂のような流動性がある液相封止材を貫通部16の上方からディスペンシングする時、前記液相封止材が貫通部16の外側へ溢れだす、即ち氾濫する虞があり、この氾濫した液相封止材が、露出しているソルダボールランド13上に流れると、外部入出力端子としてのソルダボール(図43の符号60参照)が附着されなくなるか、あるいは前記液相封止材の介在によってソルダボール60とソルダボールランド13が短絡され、不良品としての半導体パッケージが製造される虞がある。

【0015】このような液相封止材の氾濫を防止するための方法として、前記カバーコート19のコーティングの厚さを厚くして液相封止材の氾濫防止を試みることも

できる。しかしながらこのような場合、カバーコート19により限定されるソルダボールランド13の直径制御が非常に困難であるという問題点があると共に、ソルダボールランド13の深さが深くなるので、これに附着されるソルダボール60の高さを均一に制御することが困難となり、マザーボード(未図示)等に実装時において、ソルダボールがマザーボード上の電極と短絡する虞が生じるという問題点がある。よって、前記液相封止材の氾濫を防止するためには、前記回路パターンテープ10'に形成された貫通部16に予め計算された正確な量の液相封止材をディスペンシングするのが望ましいが、粘度が比較的大きい液相封止材は、そのディスペンシングの量を正確に制御するのは非常に困難な問題がある。

【0016】図42は図41におけるIX-IX線断面図であり、ウェーハ2上に多数の完成された半導体パッケージ1'が樹脂封止部50を共有している。その正中央にはシンギュレーションライン21が位置し、このライン21に沿って個々の半導体パッケージ1'に切断される。よってこのような従来の回路パターンテープ10'を利用したウェーハ2上の多数の半導体パッケージ1'をシンギュレーションするに於いて、半導体チップユニット3と回路パターンテープ10'及び樹脂封止部50が同時に一体にシンギュレーションされる。

【0017】しかし、前記樹脂封止部50は、シリコン材のウェーハ2とは物理的な特性が全然異なり、又、破断強度が大きいので、切断時に使用されるソーイングブレード(blade; 未図示)の回転数や切断のためのソーイングブレードの押圧力がシリコンから形成されるウェーハ2の切断時、ソーイングブレードの回転数や押圧力より大きくなければならず、よって、前記樹脂封止部50をシンギュレーションした後、ウェーハ2を連続してシンギュレーションする時、前記ウェーハ2に過度な力が加わるので、ソーイングされるウェーハ2の破断部が細かく碎けるチップング(Chipping)現象が発生する。このチップング現象が発生すると、完成された半導体パッケージ1'のシンギュレーションされた表面にクラックが発生し易いという問題点がある。このようなクラックが発生した場合、当該クラックに沿って湿気又は外部の異物質が浸透し、半導体パッケージ1'の寿命が短縮する虞がある。又、前記のようなチップングによるクラックが比較的大きい場合には、半導体パッケージ1'が電氣的に動作しないか又は誤動作等の不良品が発生する虞もある。

【0018】図43は図34の従来の回路パターンテープ10'を利用した半導体パッケージ1'の断面図であり、半導体チップ3上に接着層30を介して回路パターンテープ10'がラミネーションされている。前記回路パターンテープ10'の中央には貫通部16が形成されている。前記貫通部16内にダイパッド4が位置され、前記回路パターンテープ10'はポリイミド層18、回

路パターン及びカバーコート 19 が順次に積層されている。前記回路パターンは多数の導電性トレースで構成され、各々の前記導電性トレースに溶ダボールランド 13 及びボンДФィンガー 14 が形成され、前記ダイパッド 4 とボンДФィンガー 14 はワイヤ 40 によって電気的に連結され、前記ボンディングワイヤ 40 が位置する貫通部 16 及びボンДФィンガー領域に樹脂封止部 50 が形成される。また、前記溶ダボールランド 13 上に外部入出力端子としての溶ダボール 60 が附着されている。

【0019】

【発明が解決しようとする課題】本発明の第 1 の目的は、シンギュレーション時、素材の相異性によるチップング (Chipping) 現象を効果的に防止することができる回路パターンテープの提供にある。本発明の第 2 の目的は、回路パターンテープをウェーハ上にラミネーションする際に、ボイドの発生を効果的に防止乃至抑制することができる回路パターンテープの提供にある。本発明の第 3 の目的は、ウェーハ上に回路パターンテープのラミネーションをする際に、正確なシンギュレーションの位置確認が可能な回路パターンテープの提供にある。本発明の第 4 の目的は、高温工程下でラミネーション時、又はその後において回路パターンテープを構成する素材の相異性に起因する比較的大きな熱膨張率の差異によるボウイング (Bowling) 現象を効果的に防止又は緩和することができる回路パターンテープの提供にある。

【0020】本発明の第 5 の目的は、多数の導電性トレースを回路パターン形成領域内で、電気的に互いに連結してグランド用で使用する場合において、余裕空間縮小による回路パターンの設計上の自由度の制約を緩和することができる回路パターンテープの提供にある。本発明の第 6 の目的は、カッティング時に、多少の誤差が発生してもバスラインが容易且つ完全に除去できる回路パターンテープの提供にある。本発明の第 7 の目的は、樹脂封止部形成のための液相封止材のディスペンシング時、流動性ある液相封止材が溶ダボールランドで氾濫するのを防止することができる回路パターンテープの提供にある。本発明の第 8 の目的は、前記第 1 乃至第 7 の目的による回路パターンテープを用いたチップサイズ半導体パッケージの提供にある。

【0021】

【課題を解決する手段】前記本発明の第 1 の目的は、樹脂封止部形成領域が回路パターンテープ及びウェーハのシンギュレーションラインとオーバーラップ (overlap) しないように形成された回路パターンテープを提供することによって達成することができる。本発明の第 2 の目的は、回路パターンを形成する金属の分布度をより均等化するためのダミー (Dummy) パターンが形成された回路パターンテープを提供することによって達成することができる。本発明第 3 の目的は、多数の回路パターンユ

ニットで構成される回路パターンテープに於いて隣接した 4 個の前記ユニットが接する部分毎にウェーハ上のシンギュレーションライン確認用の溝が形成された回路パターンテープを提供することによって達成することができる。

【0022】本発明の第 4 の目的は、中央の回路パターンユニット形成領域とその外周縁領域の間にダミーパターン及び／又はカバーコートがコーティングされていないボウイング防止部及び／又は前記外周縁領域でのダミーパターンが形成された回路パターンテープを提供することによって達成することができる。本発明の第 5 の目的は、ボンДФィンガー形成領域内にグランドフィンガーが形成された回路パターンテープを提供することによって達成することができる。本発明の第 6 の目的は、バスラインがボンДФィンガー形成領域内の貫通部形成予定領域内に形成された回路パターンテープを提供することによって達成するのができる。本発明の第 7 の目的は、ボンДФィンガー形成領域の外周縁にダムが形成された回路パターンテープを提供することによって達成することができる。本発明の第 8 の目的は、前記第 1 乃至第 7 の目的を達成するための手段中において、少なくとも一つ以上を採択した回路パターンテープを用いたチップスケール半導体パッケージによって達成することができる。

【0023】

【発明の実施の形態】以下、本発明を添付図面を参照して詳細に説明する。図 1 は本発明の望ましい第 1 実施例による半導体パッケージ用回路パターンテープ 10 の平面図であり、図 2 は図 1 の A 部拡大図である。この第 1 実施例は、前記本発明の第 1 及び第 2 の目的に対応するものである。図 1 において、回路パターンテープ 10 は多数の回路パターンユニット 11 でなる円形部 5 とその外側の周辺部 6 で構成される。前記円形部 5 は多数の半導体チップユニット (図 38 の符号 3 参照) でなるウェーハ (図 38 の符号 2 参照) と同一な形状で形成される。

【0024】回路パターンテープ 10 は、図 2 に示すように貫通部形成予定領域 (16') 及びこれに接して対向するボンДФィンガー形成領域 15 と、前記ボンДФィンガー形成領域 15 内に配列され、半導体チップ (未図示) のダイパッド (未図示; 図 38 の符号 4) と電気的に連結するための多数のボンДФィンガー 14 と、前記ボンДФィンガー形成領域 15 外部の入出力端子としての溶ダボール (未図示; 図 7 の符号 60) を附着するための多数の溶ダボールランド 13 と、前記ボンДФィンガー 14 と前記溶ダボールランド 13 各々を電気的に連結する多数の導電性トレース 12 で構成され、前記ボンДФィンガー形成領域 15 と前記貫通部形成予定領域 16' がシンギュレーションライン 21' とオーバーラップしないように位置する回路パターンと; 前記回

路パターンのソルダボールランド13、ボンДФィンガー形成領域15、及び貫通部形成予定領域16'を除外した全領域上にコーティングされる絶縁性カバーコート19で構成される多数の回路パターンユニット11を有する。

【0025】以下、第1実施例の回路パターンテープ10は、後述する他の望ましい実施例における様々な特徴をも含むが、便宜上、このような他の実施例の特徴についても、先ず簡単に説明するとともに関連部分についても説明する。第1実施例における主要な第1の特徴は、前記ボンДФィンガー形成領域15と前記貫通部形成予定領域16'をシンギュレーションライン21'とオーバーラップしないように位置づけることにより、樹脂封止部(未図示)形成後のシンギュレーションの時、前記樹脂封止部とウェーハ(未図示)間の素材の相異性によるチッピング(Chipping)現象を効果的に防止し得るようにしたものであり、これにより前記本発明の第1の目的を達成する。

【0026】第1実施例の主要な第2の特徴は、図2に示す前記多数の回路パターンユニット11に図示したように、本発明に於いての選択的な構成部で、ソルダボールランド、導電性トレース12及びボンДФィンガー14をなす導電性金属の分布度を均等化して前記回路パターンの任意な単位面積等の相互間に於いての熱膨張率の差異を最小化するための第1ダミー(Dummy)パターンを形成したもので、これにより本発明の二番目の目的を達成する。

【0027】本発明に於ける“ダミーパターン”とは、導電性金属で形成されているが、半導体チップ(未図示)又はソルダボールランド13と電氣的に連結されていないことから、電氣的にいかなる作用もなし得ないパターンを指称する。このようなダミーパターンは、規則的に配列された微小な円板23等で構成されるか、又は通常的な導電性トレース12と同じ線上のトレース(未図示)等、又はこれらの複合形態で構成される。前記のようなダミーパターンを形成することにより、カバーコート19より相対的に大きい熱膨張率を有する導電性金属(即ち、ソルダボールランド13、導電性トレース12及びボンДФィンガー14)の位置上の偏在を緩和することにより、前記本発明の回路パターンテープ10を高温工程下においてウェーハ(未図示)上に接着時、比較的大きい局所的な熱膨張率の差異によるボイド(Void)発生の虞を顕著に減少することができる。

【0028】本発明の更に他の主要な特徴は、本発明の上記した他の目的等と関連するが、先ず、図1及び図2に図示された事項に限定して説明し、具体的な事項は関連図面に対する説明の個所でもう一度言及する。図2中、未説明の符号17はバスラインであり、これはソルダボールランド13及びボンДФィンガー14の鍍金のための導電性金属ラインで、前記多数のボンДФィンガー

ー14の先端は導電性トレース(符号未付与)により前記バスライン17と電氣的に連結されている。

【0029】又、図1に換言して説明すれば、本発明による回路パターンテープ10は、多数の回路パターンユニット11でなる円形部5とその外側の周辺部6で構成される。選択的には、前記円形部5の外周縁に沿って全放射方向への熱膨張率の差異を最小化するための第2ダミーパターン24を形成することもできる。この第2ダミーパターン24もやはり第1ダミーパターンと同様に規則的に配列された微小な円板状金属薄層23等で構成されるか、又は、通常的な導電性トレース12と同一な線上のトレース(未図示)等、又はこれらの複合形態で構成することもできる。前記第2ダミーパターン24の上面はカバーコート19でコーティングされている。

【0030】前述のように本発明による回路パターンテープ10が前記回路パターン及びその上に積層されたカバーコート19だけで構成される本発明の望ましい例に対して説明しているが、本発明はこれに限定されず、前記回路パターンの下に可撓性絶縁層18、望ましくはポリイミド層を形成することもでき、又、選択的に、前記可撓性絶縁層18の下にコア層、例えば、金属薄層又はガラスエポキシ薄層を形成するか、又は、前記可撓性絶縁層18の代わりにコア層としてのガラスエポキシ薄層を直接に前記回路パターンの下に形成することもできる。

【0031】図1に図示した本発明の望ましい第1実施例による前記回路パターンテープ10は正方形又は長方形であり、多数の回路パターンユニット11がその中央部に配列され全体的にウェーハと同じ円形部5をなしている。前記円形部5の外側に周辺部6が位置し、前記円形部5の回路パターンユニット11が存在しない周辺部6には平板状の金属薄層(未図示)が存在し、前記周辺部6の外周辺部にはフレーム部7が位置する。又、前記円形部5と前記フレーム部7の間にカバーコート19及び前記金属薄層が存在しない少なくとも一つ以上のボウイング防止部35が選択的に形成される。前記ボウイング防止部35の個別的な形状及び全体的な形状は制限的ではないが、図1に於いては全体的に数個が円周形状をなし、その上部にはボウイング防止部としての役割を併せ遂行し得る認識マークの附着部位33が形成されており、この認識マークとしては、例えば、バーコードの使用が可能である。

【0032】前記ボウイング防止部35が二つ以上形成される場合には両者の間、又は、一つだけ形成される場合にはその一端と他の端の間にバースバー29が形成されることがある。このバースバー29は、前記回路パターンのボンДФィンガー14及びソルダボールランド13等に対する鍍金時、前記回路パターンをなす金属ラインの電流密度が高くなり、その幅及び厚さが増大するのを防止するように前記平板状の金属薄層との電氣的な連

結部として作用する。又、選択的に、前記ボウイング防止部35とフレーム部7間の周辺部6には、カバーコート19上に形成される微細な多数の開口25が形成されて、その内部の平板状の金属薄層が上方へ露出されており、これにより前記平板状の金属薄層と、カバーコート19又はポリイミド層のような可撓性絶縁層との間の比較的大きな熱膨張率の差異に起因する回路パターンテープ10のボウイング現象を防止乃至緩和することができる。

【0033】又、図1で図示したように、周辺部7上にボウイング防止用の放射状溝36を形成し、前記溝36が位置する位置には、前記金属薄層を存在させないこともでき、これにより放射状へのボウイング現象だけでなく、前記ボウイング防止用の放射状溝36に直交する方向へのボウイング現象も防止乃至緩和することができる。よって、図1に示した例に於いて、前記金属薄層の平面状の形態は前記円形部5の外周縁部とフレーム部7間を光線状に連結する。

【0034】図面中、未説明の符号27は本発明による回路パターンテープ10に対するテスト領域として、ここには半導体パッケージの製造のための諸般工程が適用されないか、又は適用されたとしても半導体パッケージとして使用されない。以上、概括的に図1及び図2に対して概述したが、前記第1実施例に於いての選択的な事項等に対しては関連部分で後述する。本発明に対する理解のために、本発明の回路パターンテープ10を用いたチップサイズ半導体パッケージ1の製造方法に関して説明する。

【0035】図3乃至図8は、図1の回路パターンテープ10を用いたチップサイズ半導体パッケージ1の製造方法を図示した順次的な説明図であり、図3は本発明による回路パターンテープ10の底面に接着層30を形成した後、貫通部16を穿孔した状態の本発明による回路パターンテープ10に対する部分断面図、図4はウェーハ3上にラミネーションさせた状態の部分断面図、図5はワイヤボンディングされた状態の部分断面図、図6は樹脂封止部50を形成した状態の断面図、図7は外部入出力端子としての溶ダボール60を形成した状態の断面図、図8はシンギュレーションしてチップサイズ半導体パッケージ1で切断分離した状態の断面図である。

【0036】先ず、図3について説明すれば、本発明による回路パターンテープ10は、その底面にポリイミド層のような可撓性絶縁層18が形成され、その上面に溶ダボールランド13、ボンドフィンガー14、及びこれらの相互間を電気的に連結する導電性トレース12で構成される回路パターンと、選択的に多数の円板状の金属薄層23で構成される第1ダミーパターンが形成され、前記溶ダボールランド13及びボンドフィンガー14を除外した回路パターン及び選択的な第1ダミーパターン上の全領域に絶縁性カバーコート19がコーティ

ングされる。

【0037】しかし、このような構造の回路パターンテープ10は本発明に於いて制限的ではなく、前述のように、前記回路パターンの下に可撓性絶縁層18、望ましくはポリイミド層を形成することもできる。又、選択的に、前記可撓性絶縁層18の下にコア層、金属薄層又はガラスエポキシ薄層を形成するか、又は前記可撓性絶縁層18の代わりにコア層としてのガラスエポキシ薄層を直接前記回路パターンの下に形成することもできる。これらは、本発明の技術範囲に含まれるということに注目すべきである。前記回路パターンテープ10の底面に両面接着テープ等のような接着層30が形成され、続いて、図2の符号16'で示した貫通部形成予定領域がレーザー又はパンチ等の穿孔手段により穿孔され、貫通部16が形成される。

【0038】図4は前記貫通部16を形成した本発明による回路パターンテープ10を接着層30を介在させてウェーハ2(図38参照)上にラミネーションさせた状態を示す断面図であり、ウェーハ2の半導体チップユニット(図38の符号3参照)上の入出力端子としてのダイパッド4が前記貫通部16内に位置し、上方へ露出している。図5はラミネーションされたウェーハ2と本発明による回路パターンテープ10におけるダイパッド4とボンドフィンガー14を金又はアルミニウム、又はこれらの合金等である電気伝導性に優れたワイヤ40でボンディングした状態を示したものである。

【0039】図6は前記ウェーハ2のダイパッド4が位置する上面の部分と貫通部16の内壁、及びボンドフィンガー14を限定するカバーコート19の側壁により限定される領域内に、例えば液相エポキシ樹脂等をディスペンシングして硬化させ、樹脂封止部50を形成した状態を示す断面図である。前記樹脂封止部50は、前記ダイパッド4、ボンドフィンガー14及びボンディングワイヤ40等を有害な物理的、科学的及び電磁気的な環境から保護する役割を行う。図7は前記樹脂封止部50を形成した後、溶ダボール60等のような外部入出力端子を形成した状態を示す断面図であり、ウェーハ2上に多数の半導体パッケージ1がそれぞれとして各々完成された状態で形成されている。続いて、図8はシンギュレーションにより個々に分離、切断された本発明にかかるチップサイズ半導体パッケージ1の断面図である。

【0040】図9は図3乃至図8に図示した製造方法により製造された本発明の半導体パッケージ1の平面図、図10は図9の断面図であり、図8で図示したものと基本的に同一な構造であるのでこれに対する説明は割愛し、図9について説明する。図9は図2に図示したような本発明による回路パターンユニット11を用いたチップサイズ半導体パッケージ1の平面図で、シンギュレーションされた前記チップサイズ半導体パッケージ1の外周縁と樹脂封止部50の外周縁が正確にオーバーラップさ

れなくなる。よって、シンギュレーション時に、樹脂封止部50とウェーハ2間の素材の相異性による前述したチッピング現象が発生する虞がないことから、シンギュレーションされた表面上へのクラック発生及び、これによる湿気又は外来の異物質の浸透、又は電氣的な作動不能又は誤動作の虞を多大に緩和乃至除去することができる。

【0041】又、比較的広い面積を有する導電性金属となるソルダボールランド13間の金属が存在しない部分には第1ダミーパターンをなす複数又は多数の円板状の金属薄層23が位置し、これによって回路パターンの任意の単位面積当たり前記導電性金属層の面積の差異を減少させることができる。前記のような第1ダミーパターンを形成することにより、本発明による回路パターンテープ10を高温工程下で、ウェーハ2上にラミネーション時、任意の単位面積当たりに対する局所的な熱膨張率の差異が発生するのを緩和乃至最小化し得るので、ボイド(Void)の発生を効果的に抑制乃至防止することができる。

【0042】図11は図1の本発明による回路パターンテープ10を図3.8に図示したウェーハ2上にラミネーションした後、パッケージングして製造された多数のチップサイズ半導体パッケージ1が形成されるシンギュレーションの前段階のウェーハ2に対する平面図、図12は図11におけるB部拡大図、図13は図12のI-I線断面図であり、樹脂封止部50が各々のチップサイズ半導体パッケージ1の領域内に位置し、ウェーハ2上のシンギュレーションライン21と樹脂封止部50がどの位置でも互いにオーバーラップしていない状態を示す図である。

【0043】図13で図示したように、本発明の望ましい第1実施例による回路パターンテープ10を利用して多数のチップサイズ半導体パッケージ1を製造する場合、そのシンギュレーション時、ウェーハ2より破断強度が大きい樹脂封止部50を切断することなく、破断強度がウェーハ2より小さい接着層30、バスライン17及び、カバーコート19、及び/又は可撓性絶縁層18、及び/又はコア層を切断するようになるので、ウェーハ2と樹脂封止部50との素材相互間の比較的大きな物理的特性の差異に起因するソーイングブレイド(未図示)の回転数や切断のためのソーイングブレイドの押圧力に差異をつける必要がなく、過度な力がウェーハ2に加わるという虞がない。よって、ソーイングされるウェーハ2の破断部が細かく碎けるチッピング(Chipping)現象の発生という虞、及びこれより惹起されるクラック発生を除去することができる。図13に於いて、回路パターンテープ10は、その底面に可撓性絶縁層18が使用される場合を図示している。一点鎖線で示したのはソーイングブレイドによりシンギュレーションされる切断線である。

【0044】図14は本発明の望ましい第2実施例による半導体パッケージ用回路パターンテープ10の平面図、図15は図14のC部拡大図であり、前記第3の目的を達成するためのものである。図14及び図15に示した本発明の第2実施例による回路パターンテープ10は、4個の回路パターンユニット11が相互に隣接するシンギュレーションライン21'上の交叉点内に、シンギュレーションライン確認用の溝22が形成されている点を除いては前述した図1及び図2に示された第1実施例による回路パターンテープ10とその構造が同一であることから、その説明は省略する。

【0045】但し、図14及び図15に図示した本発明の望ましい第2実施例による回路パターンテープ10に於いては、ウェーハ2上のシンギュレーションライン21を確認するための確認用の溝22を形成しているが、本発明はこれに限らず、シンギュレーションライン21を確認できるように、交叉点でないシンギュレーションライン21'の4辺上の任意の位置に帯状の開口を形成するか、又は、前記の二様の形態を混合させることができる。この点も本発明の技術範囲に含まれるものである。

【0046】前記シンギュレーションライン確認用の溝22が位置する部分はシンギュレーションライン21'が位置する部分であるので、その底面には回路パターンが形成されていない。本発明の望ましい第2実施例による回路パターンテープ10がカバーコート19と回路パターンだけで構成される場合、及び回路パターンテープ10が上からカバーコート19と回路パターン、及び半透明のポリイミド層のような可撓性絶縁層18で構成される場合には、前記シンギュレーションライン確認用の溝22部分にカバーコート19をコーティングせずに形成される。しかし、本発明はこのような例に限定されず、回路パターンテープ10が、上からカバーコート19と回路パターン、及び半透明のポリイミド層のような可撓性絶縁層18で構成される場合には、前記カバーコート19と可撓性絶縁層18の両者を穿孔して開口することもできる。必要ならば、前記回路パターンテープ10底面に附着する両面接着テープ等のような接着層(図3の符号30参照)まで穿孔して開口することもできる。

【0047】又、本発明による回路パターンテープ10が、上からカバーコート19、回路パターン、半透明の可撓性絶縁層18、及びコア層で構成される場合には、全層を穿孔してシンギュレーションライン確認用の溝22を形成するのが望ましいが、前記コア層が半透明なガラスエポキシ薄層で形成される場合には、カバーコート19、又はカバーコート19と可撓性絶縁層18の両者だけを穿孔して開口することもできる。本発明の望ましい第2実施例による回路パターンテープ10におけるシンギュレーションライン確認用の溝22は、ウェーハ2

(図 17 及び図 18 参照) 上にラミネーションする時、ウェーハ 2 シングレーションライン 21 の確認が可能であれば、前記確認用の溝 22 の形態や穿孔される層の種類等は制限的ではなく任意的である。

【0048】図 16 は図 14 の回路パターンテープ 10 に貫通部 16 (図 15 の貫通部形成予定領域 16' を穿孔して形成) を形成した後、図 38 に図示したウェーハ 2 上にラミネーションさせた状態の平面図で、ラミネーションした後、回路パターンテープ 10 の周辺部 6 を除去した状態を示している。一方、図 17 は図 16 の D 部拡大図で、クロス状の開口 22 内にウェーハ 2 のシングレーションライン 21 が上方へ露出されて視覚的に確認可能な状態の図示である。符号 4 は、ウェーハ 2 上の入出力パッドとしてのダイパッドを表す。図 18 は図 17 の II-II 線の断面図で、図 18 の例では回路パターンテープ 10 が可撓性絶縁層 18 を包含する場合を図示している。シングレーションライン確認用の溝 22 はカバーコート 19 がその側壁を、可撓性絶縁層 18 がその底面を限定している。よって、ウェーハ 2 上のシングレーションライン 21 は半透明な可撓性絶縁層 18 及び接着層 30 を通じて上方から視覚的に確認可能である。

【0049】前記のような本発明の望ましい第 2 実施例による回路パターンテープ 10 をウェーハ 2 上にラミネーションした後に於いても正確なウェーハ 2 上のシングレーション位置の確認を可能とするので、作業員、又は視覚的探知装置が装着されたシングレーション装置が、容易、且つ正確にシングレーションの位置を感知し切断することができる。

【0050】図 19 乃至図 26 は本発明の望ましい第 3 実施例によるボウイング防止部 35 を有する回路パターンテープ 10 に関するもので、本発明の前記の第 4 の目的を達成するためのものである。先ず、図 19 は本発明の望ましい第 3 実施例によるボウイング防止部 35 を有する第 1 の例を図示した半導体パッケージ用回路パターンテープ 10 の平面図であり、図 20 は図 7 A の III-III 線の断面図で、便宜上、共に説明する。

【0051】図 19 に示す回路パターンテープ 10 は正方形で、多数の回路パターンユニット 11 がその中央部に配列され、全体的にウェーハと同じ円形部 5 をなし、前記円形部 5 の外側に周辺部 6 が位置する。回路パターンユニット 11 が存在しない周辺部 6 には平板状の金属薄層 12' が存在し、前記周辺部 6 の外周縁部にはフレーム部 7 が位置する。前記平板状の金属薄層 12' の底面にはポリイミド層のような可撓性絶縁層 18 が存在する。又、前記円形部 5 と前記フレーム部 7 の間にカバーコート 19 及び前記平板状の金属薄層 12' が存在しない少なくとも一つ以上のボウイング防止部 35 が形成されている。

【0052】前記ボウイング防止部 35 の底面には可撓性絶縁層 18 が露出されるが、本発明はこれに限定され

ず、可撓性絶縁層 18 及び前記金属薄層 12' が存在しないようにしてカバーコート 19 だけが存在するボウイング防止部 35 に形成することもできる。又、前記ボウイング防止部 35 を穿孔して貫通部の形態にすることもでき、これ又、本発明の技術範囲に包含される。前記ボウイング防止部 35 の個別的な形状及び全体的な形状は任意的であり、その上部にはボウイング防止部としての役割を併せて遂行し得るバーコード等の認識マークの附着部位 33 が形成される。

【0053】前記ボウイング防止部 35 の間にはパースバー 29 が形成される。このパースバー 29 は、前記回路パターンのボンディング力 14 及びソルダボールランド 13 等に対するボンディング力の強化のための金 (Au) 及び/又はニッケル (Ni) 等の鍍金の時、前記回路パターンをなす金属ラインの電流密度が高くなりその幅及び厚さが増大するのを防止すべく、前記平板状の金属薄層 12' との電氣的な連結部として作用する。周辺部 7 上にはカバーコート 19 が存在しないボウイング防止用の放射状の溝 36 を形成すると共に、前記溝 36 が位置する所には前記金属薄層 12' が存在しないようになるので、これにより放射状のボウイング現象だけでなく、前記ボウイング防止用の放射状の溝 36 に直交する方向へのボウイング現象も防止乃至緩和することもできる。

【0054】前記平板状の金属薄層 12' の平面上の形態は前記円形部 5 の外周縁部とフレーム部 7 の間を光線状に連結する。一方、図示したように、ボウイング防止部 16 をリング形態に形成した場合、前記回路パターンテープ 10 をウェーハ 2 上にラミネーションさせた状態で前記回路パターンテープ 10 の周辺部 6 をウェーハ 2 の外周縁の形態に合わせてカッティングする時、その厚さが他の部分より薄くなるのでカッティング作業が容易であるという長点もある。前記図 19 に図示した回路パターンテープ 10 の基本構造は、図 1 で図示した回路パターンテープ 10 に於いて第 2 ダミーパターン 24 及び周辺部 6 上に多数のボウイング防止用の開口 25 が形成されない点を除いては、その基本構造が実質的に同一である。

【0055】図 21 は本発明の望ましい第 3 実施例によるボウイング防止部 35 を有する第 2 の例を図示した半導体パッケージ用回路パターンテープ 10 の平面図であり、図 22 は図 21 の IV-IV 線の断面図で、便宜上、ともに説明する。図 21 及び図 22 に図示した回路パターンテープ 10 に於いては、図 19 及び図 20 に図示した回路パターンテープ 10 におけるボウイング防止用の放射状の溝 36 の代わりに、周辺部 6 にカバーコート 19 が存在しない多数の開口 25 が形成されている点を除いてはその基本構造は実質的に同一であり、その差異点のみ説明する。

【0056】周辺部 6 の層状構造に対して説明すれば、

可撓性絶縁層 18 上に平板状の金属薄層 12' が積層され、又、その上面にカバーコート 19 が積層されている。よって、接着層 30 を形成するための高温工程後、可撓性絶縁層 18 及びカバーコート 19 と、平板状金属薄層 12' の間の比較的大きい熱膨張率の差異によってボウイング現象が発生し易く、このようなボウイング現象の発生時に、後続工程のための水平吸着が困難になると共に、ウェーハ 2 に対するラミネーションが困難になる虞がある。よって、前記周辺部 6 に於いてカバーコート 19 を存在させなかった多数の開口 25 を形成することにより、熱による線膨脹及び冷却時の線収縮を吸収することができるので、前記ボウイング現象を抑制乃至緩和することができる。

【0057】又、図示していないが、前記のような多数の開口 25 を周辺部 6 に形成する代わりに、前記のような開口 25 の位置に、金及び／又はニッケルを鍍金したドット上のボウイング防止用の鍍金部（未図示）を形成することもでき、その上面にはカバーコート 19 がコーティングされていない。このような多数のボウイング防止用の鍍金部を形成することにより、相異なる素材間の比較的大きい熱膨脹係数の差異から起因する回路パターンテープ 10 の変形力を吸収するので、全体的な回路パターンテープ 10 のボウイング現象を効果的に防止乃至緩和することができる。

【0058】図 23 は本発明の望ましい第 3 実施例によるボウイング防止部 35 を有する第 3 の例を図示した半導体パッケージ用回路パターンテープ 10 の平面図であり、図 24 は図 23 の V-V 線の断面図で、便宜上、共に説明する。図 23 及び図 24 に示す回路パターンテープ 10 には、図 19 及び図 20 に図示した回路パターンテープ 10 のようなボウイング防止用の放射状の溝 36 が存在せず、ボウイング防止部 35 の領域を拡張して平板状の金属薄層 12' が四角リング形状のフレーム部 7 と円形部 5 の外周縁部に存在するように、前記フレーム部 7 の 4 辺の中央部と円形部 5 をバースバー 29 で連結した形態になっている点を除いてはその基本構造が本質的に同一である。

【0059】図示の例においては、ボウイング防止部 35 が円形部 5 の外側の周辺部 6 の四つの角部分に各々形成されている。前記ボウイング防止部 35 は、可撓性絶縁層 18 だけで形成されている。しかし、本発明はこれに限定されず、前述のようにカバーコート 19 だけで形成するか、コア層としてのガラスエポキシ薄層だけで形成するか、前記可撓性絶縁層 18 と前記ガラスエポキシ薄層で形成するか、又は穿孔された形態等になるようにするのも勿論である。よって、又、これらは本発明の技術範囲に包含される。このように、ボウイング防止部 35 を形成することによって、素材の相異性による熱膨脹係数の差異から起因する回路パターンテープ 10 の変形力を吸収して、ボウイング現象が防止乃至効果的に緩和さ

れる。

【0060】図 25 は本発明の望ましい第 3 実施例によるボウイング防止部 35 を有する第 4 の例を示す半導体パッケージ用回路パターンテープ 10 の平面図であり、図 26 は図 25 の VI-VI 線の断面図で、図示された回路パターンテープ 10 は、図 23 及び図 24 に示した回路パターンテープ 10 におけるバースバー 29 がフレーム部 7 の 4 辺の中央部と円形部 5 を連結する形態になっている代わりに、フレーム部 7 の四つの角と円形部 5 を連結する形態になっている点を除いては、その基本構造が本質的に同一であるので、これに対する説明は省略する。前記のようなタイバーとしての機能を遂行するバースバー 29 の形状、位置及び個数等は必要により任意に選択可能であり、本発明において、制限的なものではない。前記のような本発明の望ましい第 3 実施例による回路パターンテープ 10 を使用する場合、高温工程下での接着層の形成時、又はラミネーションの時又はその後、回路パターンテープ 10 を構成する素材の相異性から起因する比較的大きな熱膨脹率の差異によるボウイング (Bowling) 現象を効果的に防止又は緩和することができる。

【0061】図 27 は本発明の望ましい第 4 実施例によるグラウンド用ボンДФィンガー 28 を有する第 1 の例を図示する半導体パッケージ用回路パターンテープ 10 の平面図、図 28 は図 27 の E 部拡大図、図 29 は本発明の望ましい第 4 実施例によるグラウンド用ボンДФィンガー 28 を有する第 2 の例の半導体パッケージ用回路パターンテープ 10 における図 27 の E 部に対応する部分の拡大図で、これ等を便宜上、共に説明する。又、これは本発明の前記第 5 の目的を達成するためのものである。

【0062】図 27 に示した回路パターンテープ 10 に接着層を形成した後、貫通部形成予定領域 (16' : 図 2 参照) を穿孔した状態で、ウェーハ上にラミネーションすると、図 28 に図示したように、各々の回路パターンユニット 11 の貫通部 16 内に半導体チップユニット 3 上のダイパッド 4 が上方へ露出する。各々のソルダボールランド 13 は、導電性トレース 12 によってボンДФィンガー形成領域 15 内に位置するボンДФィンガー 14 と電気的に連結される。回路パターンユニット 11 上の前記ボンДФィンガー 14 と半導体チップユニット 3 上のダイパッド 4 は、次にボンディングワイヤ (未図示) によって電気的に連結される。

【0063】図 28 に図示された例では、グラウンド用ボンДФィンガー 28 が通常的な多数のボンДФィンガー 14 の先端部と直交する方向に一定の距離を置き、離隔して前記貫通部 16 の方に隣接する前記ボンДФィンガー形成領域 15 内に位置し、前記グラウンド用ボンДФィンガー 28 は全体的に "T" 字形である。しかし、本発明はこれに限定されず、グラウンド用ボンДФィンガー 28 は少なくとも一つ以上の導電性トレース 12 と電氣的

に連結される。又、図29で図示された例では、グラウンド用ボンドフィンガー28の形状が全体的に“n”字形であり、二つの導電性トレース12と電気的に連結される点を除いては、図28で図示された例と本質的に同一であるので、これに対する説明は省略する。参考として前記グラウンドボンドフィンガー28と電気的に連結される導電性トレース12の数は少なくとも二つ以上があり、これらは又、本発明の技術範囲に含まれる。

【0064】図30は本発明の望ましい前記第4実施例によるグラウンド用ボンドフィンガー28を有する回路パターンテープ10を用いた本発明のチップサイズ半導体パッケージ1の断面図で、半導体チップ3上に接着層30を介在させて本発明による回路パターンテープ10がラミネーションされている。前記回路パターンテープ10の貫通部16内に位置するダイパッド4は、ボンドフィンガー形成領域(図28及び図29の符号15参照)内に位置するボンドフィンガー14及びグラウンド用ボンドフィンガー28とボンディングワイヤ40によって電気的に連結されている。

【0065】図示された例での前記回路パターンテープ10は、下から、可撓性絶縁層18と、ボンドフィンガー14、ソルダボールランド13及び導電性トレース12とから構成される回路パターンと、前記ボンドフィンガー形成領域とソルダボールランド13を除外した部分に存在するカバーコート19とから構成される。前記ソルダボールランド13上には、外部入出力端子としてのソルダボール60が附着され、前記貫通部16及びボンドフィンガー形成領域には樹脂封止部50が形成されて、その内部のダイパッド4、ボンドフィンガー14、グラウンド用ボンドフィンガー28、及びボンディングワイヤ40を外部環境から保護している。

【0066】ここで、本発明の回路パターンテープ10は、図示された例に限定されず、カバーコート19と回路パターンだけで構成されるか、カバーコート19、回路パターン、可撓性絶縁層、及びコア層で構成されるか、又はカバーコート19、回路パターン、及びコア層での構成を可能にするという点に留意すべきである。前記のような本発明の望ましい第4実施例による回路パターンテープ10の利用は、多数の導電性トレース12等を回路パターン形成領域内で電気的に互いに連結してグラウンド用を使用する場合、余裕空間の確保がより容易になるので、回路パターン設計上の自由度の制約を大きく緩和することができる。又、前記回路パターンテープ10を用いたチップサイズ半導体パッケージ1は、グラウンド用ボンドフィンガー28に半導体チップ2のすべてのグラウンド用ダイパッドを一度にボンディングすることができるので、最近の半導体チップ2の高性能化及び超小型化の趨勢に付随して、ダイパッド4数の増加に好適に対応できると共に、その性能向上にも寄与することができる。

【0067】図31は本発明の望ましい第5実施例によるボンドフィンガー14と、これと電気的に連結されたバスライン17が貫通部形成予定領域16'内に形成された半導体パッケージ用回路パターンテープ10を図示したもので、図27のE部に対応する部分の拡大図で、これは本発明の前記第5の目的を達成するためのものである。バスライン17は、ソルダボールランド13上にソルダボール(未図示)が容易に附着するように、例えば、ニッケル(Ni)/金(Au)をコーティングするか、又はボンドフィンガー14にワイヤ(未図示)が容易にボンディングされるように、例えば、金(Au)又は銀(Ag)をコーティングするための電解(Electrolytic)又は無電解(Electroless)鍍金に必要な導電性ラインで、完成されたすべての回路パターンユニット11の全部の回路パターンを電気的に連結する。よって、前記バスライン17は、半導体パッケージの完成後に必ず除去しなければならず、除去せずに一部でも残存する場合、導電性トレース12等が相互に導通し、作動不能又は誤動作等の不良を誘発する。

【0068】図31に図示された回路パターンテープ10の回路パターンユニット11に於いては、前記バスライン17が貫通孔形成予定領域16'の中央部を横切って延長し、ボンドフィンガー形成領域15内に配列されている多数のボンドフィンガー14等から延長され、その幅が減少された導電性トレース等が前記バスライン17に電気的に連結されている。

【0069】よって、回路パターンテープ10をウェーハ2上にラミネーションさせる前に、貫通孔形成予定領域16'を穿孔して貫通孔16を形成すると共に、前記バスライン17を完全に除去する。前記のような本発明の望ましい第5実施例による回路パターンテープ10を利用すれば、バスライン17の除去のためのカッティング時に、誤差の許容幅が比較的に大きく、前記バスライン17を容易、且つ完全に除去できるので半導体パッケージの製造歩留を向上させることができる。

【0070】図32は本発明の望ましい第6実施例による液相封止材の氾濫防止用ダム31が形成された第一実施例の半導体パッケージ用回路パターンテープ10を用いて製造されたチップサイズ半導体パッケージ1の部分断面図であり、図33は第1ダム32及び第2ダム32'が形成された第二実施例の半導体パッケージ用回路パターンテープ10を利用して製造されたチップサイズ半導体パッケージ1の部分断面図であり、便宜上、共に説明する。これは本発明の第7の目的を達成するためのものである。

【0071】図32及び図33の部分断面図に図示されたチップサイズ半導体パッケージ1の基本構造として、ダム31又は32、32'が形成されている。グラウンド用ボンドフィンガー(図30の符号28)が形成されていない点を除いては実質的に図30に図示されたチップ

サイズ半導体パッケージ1とその構造が同一であることから、その差異点について説明する。符号13'及び14'は、それぞれ、ソルダボールランド13上にソルダボール60の融着を容易にするための例えば、金(Au)及び/又はニッケル(Ni)鍍金層と、ボンディングワイヤ40のボンディングを容易にするための例えば金又は銀鍍金層を指称する。図示された例では、前記回路パターンテープ10が下からポリイミド層のような可撓性絶縁層18と、回路パターン(導電性トレース、ソルダボールランド13及び、ボンドフィンガー14等)及び、カバーコート19でなる例を図示しているが、本発明はこれに限定されず、前述のような多様な種類の回路パターンテープ10が使用できる。又、これらが本発明の技術範囲に含まれるのは勿論である。

【0072】図32及び図33に図示した本発明の望ましい第6実施例による半導体パッケージ用回路パターンテープ10に於いては、ボンドフィンガー形成領域(15:図2参照)の外周縁に沿って液相封止材の氾濫防止用ダム31、又は32及び32'が形成されている。具体的には、前記ダム31、又は32及び32'が回路パターンテープ10の最上層をなすカバーコート19の前記ボンドフィンガー形成領域15を限定する周縁の端部に形成される。前記液相封止材の氾濫防止用ダム31、又は32及び32'は、前記カバーコート19部分に別途の同一又は相異したカバーコート層が再積層され、形成されることもある。又は、前記カバーコート19を予め決められた前記ダム31、又は32及び32'と同一な高さに形成して、前記ダム31、又は32及び32'に形成する部分を除外した残りの部分をエッチングして、前記ダム31、又は32及び32'の高さより低くなるように形成することもある。

【0073】図32及び図33に図示した回路パターンテープ10の相互間の唯一の差異点は、前記ダム31、又は32及び32'の数だけであり、図32に図示した例では、ダム31が一つだけである反面、図33に図示した例では、二つのダム32、32'が形成されている。図32及び図33に図示した本発明の望ましい第6実施例による半導体パッケージ用回路パターンテープ10を用いたチップサイズ半導体パッケージ1に於いては、液相封止材を回路パターンテープ10の貫通孔16の内壁及びボンドフィンガー形成領域15の上面にディスペンシングする時、前記液相封止材が前記氾濫防止用ダム31、又は32及び32'により確実に遮断され、ソルダボールランド13上へのブリードアウト(Bleed-out)の虞がなく、ダム32及び32'が2列に形成される場合には、ブリードアウトの防止効果がさらに確実に保障される。

【0074】

【発明の効果】以上説明したように本発明によれば、回路パターンを形成する金属の分布度を均一化するための

ダミー(Dummy)パターンを形成することにより、ウェーハ上にラミネーション時において、ボイド(Void)の発生を防止乃至抑制すると共に、樹脂封止部形成領域をウェーハのシンギュレーションラインを避けて形成することにより、シンギュレーション時、素材の相異性によるチッピング(chipping)を効果的に防止することができる。

【図面の簡単な説明】

【図1】本発明の望ましい第1実施例による半導体パッケージ用回路パターンテープの平面図である。

【図2】図1のA部拡大図である。

【図3】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図4】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図5】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図6】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図7】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図8】図1の回路パターンテープを用いたチップサイズ半導体パッケージの製造方法を図示する順次的な説明図である。

【図9】図3乃至図8に図示された製造方法によって製造される本発明の半導体パッケージの平面図である。

【図10】図9の半導体パッケージの断面図である。

【図11】図1の回路パターンテープを図38に図示するウェーハ上にラミネーションした後、パッケージングして製造された多数の半導体パッケージが形成されたシンギュレーション前の段階のウェーハに対する平面図である。

【図12】図11のB部拡大図である。

【図13】図12のI-I線断面図である。

【図14】本発明の望ましい第2実施例による半導体パッケージ用回路パターンテープ平面図である。

【図15】図14のC部拡大図である。

【図16】図14の回路パターンテープに貫通部を形成した後、図38に図示するウェーハ上にラミネーションさせた状態を図示する平面図である。

【図17】図16のD部拡大図である。

【図18】図17のII-II線の断面図である。

【図19】本発明の望ましい第3実施例によるボウイング防止部を有する第2の例を図示する半導体パッケージ用回路パターンテープの平面図である。

【図20】図19のIII-III線断面図である。

【図21】本発明の望ましい第3実施例によるボウイング防止部及びボウイング防止用パターンを有する第2の例を図示する半導体パッケージ用回路パターンテープの平面図である。

【図22】図21のIV-IV線の断面図である。

【図23】本発明の望ましい第3実施例によるボウイング防止部を有する第3の例を図示する半導体パッケージ用回路パターンテープの平面図である。

【図24】図23のV-V線の断面図である。

【図25】本発明の望ましい第3実施例によるボウイング防止部を有する第4の例を図示する半導体パッケージ用回路パターンテープの平面図である。

【図26】図25のVI-VI線の断面図である。

【図27】本発明の望ましい第4実施例によるグラウンド用ボンДФィンガーを有する第1の例を図示する半導体パッケージ用回路パターンテープの平面図である。

【図28】図27のE部拡大図である。

【図29】本発明の望ましい第4実施例によるグラウンド用ボンДФィンガーを有する第2の例を図示する半導体パッケージ用回路パターンテープに於いての図27のE部に対応する部分の拡大図である。

【図30】本発明の望ましい第4実施例によるグラウンド用ボンДФィンガーを有する回路パターンテープを用いたチップサイズ半導体パッケージの断面図である。

【図31】本発明の望ましい第5実施例による拡大された面積のボンДФィンガーが形成された第1の例を図示する半導体パッケージ用回路パターンテープに於いての図27のE部に対応する部分の拡大図である。

【図32】本発明の望ましい第6実施例による液相封止材の氾濫防止用ダムが形成された第1の例の半導体パッケージ用回路パターンテープを利用して製造されたチップサイズ半導体パッケージの部分断面図である。

【図33】本発明の望ましい第6実施例による第2の例の半導体パッケージ用回路パターンテープを利用して製造されたチップサイズ半導体パッケージの部分断面図である。

【図34】従来の半導体パッケージ用回路パターンテープの平面図である。

【図35】図34のF部拡大図である。

【図36】図34のVII-VII線の断面図である。

【図37】図35のVIII-VIII線の断面図である。

【図38】多数の半導体チップユニットが形成されている一般的なウェーハの平面図である。

【図39】図38のG部拡大図である。

【図40】図34の従来の回路パターンテープを図38に図示されたウェーハ上にラミネーションした後、パッ

ケージングして製造された多数の半導体パッケージが形成されたシンギュレーション前の段階のウェーハの平面図である。

【図41】図40のH部拡大図である。

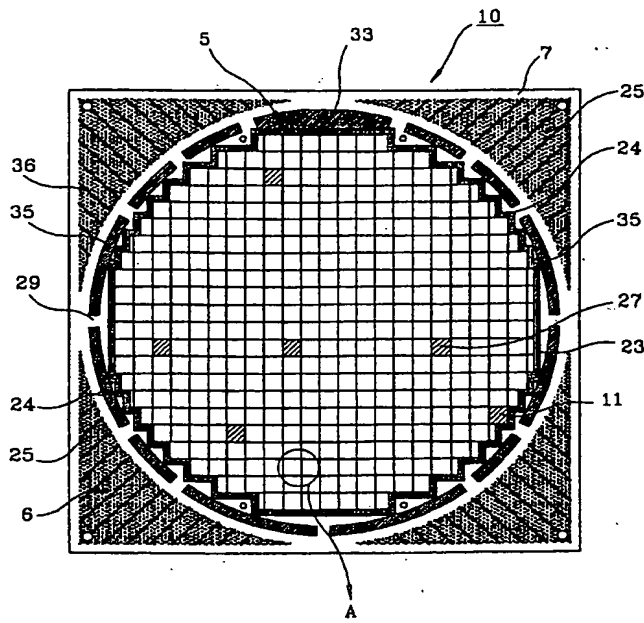
【図42】図41のIX-IX線断面図である。

【図43】図34に示す回路パターンテープを用いた従来における半導体パッケージの断面図である。

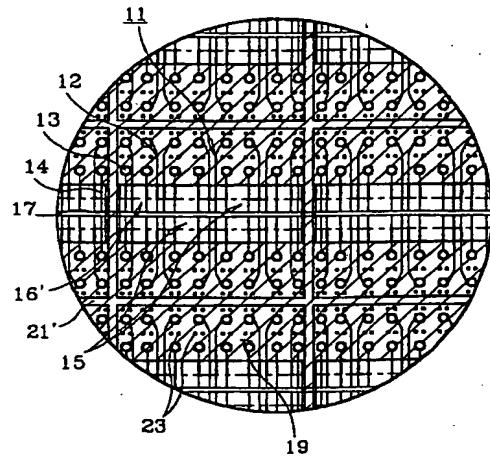
【符号の説明】

- | | |
|--------|------------------|
| 1 | 本発明の半導体パッケージ |
| 2 | ウェーハ |
| 3 | 半導体チップユニット |
| 4 | ダイパッド |
| 5 | 円形部 |
| 6 | 周辺部 |
| 7 | フレーム部 |
| 10 | 本発明の回路パターンテープ |
| 11 | 回路パターンユニット |
| 12 | 導電性トレース |
| 12' | 平板状の金属薄層 |
| 13 | 溶ダボールランド |
| 14 | ボンДФィンガー |
| 15 | ボンДФィンガー形成領域 |
| 16 | 貫通部 |
| 16' | 貫通部形成予定領域 |
| 17 | バスライン |
| 18 | 可撓性絶縁層 |
| 19 | カバーコート |
| 20 | コア層 |
| 21、21' | シンギュレーションライン |
| 22 | シンギュレーションライン確認用溝 |
| 23 | 円板状の金属薄層 |
| 24 | ダミーパターン |
| 25 | 開口 |
| 27 | ウェーハテスト領域 |
| 28 | グラウンド用ボンДФィンガー |
| 29 | バースバー |
| 30 | 接着層 |
| 31 | ダム |
| 32 | 第1ダム |
| 32 | 第2ダム |
| 33 | 認識マークの附着部位 |
| 34 | 金属板 |
| 35 | ボウイング防止部 |
| 36 | ボウイング防止用の放射状溝 |
| 40 | ワイヤ |
| 50 | 樹脂封止部 |
| 60 | 溶ダボール |

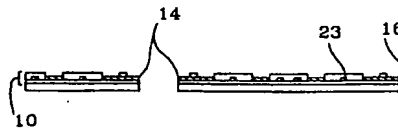
【図1】



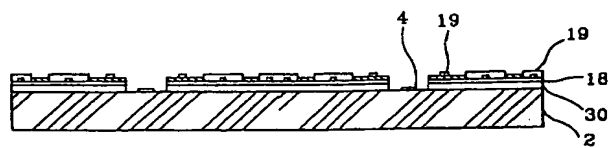
【図2】



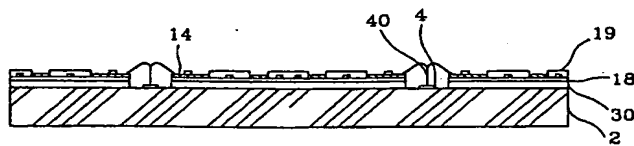
【図3】



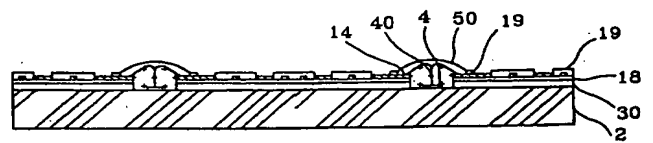
【図4】



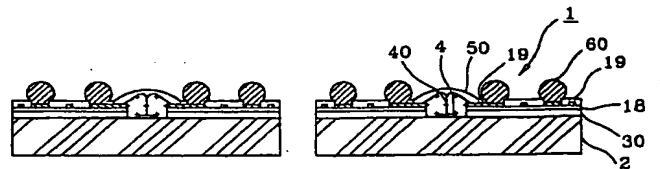
【図5】



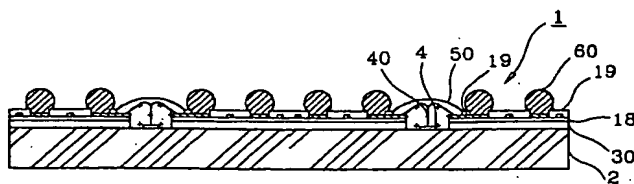
【図6】



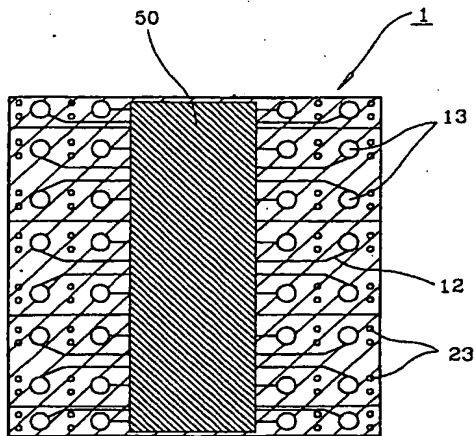
【図8】



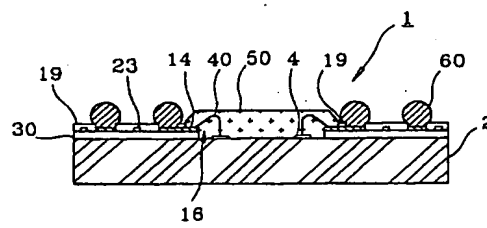
【図7】



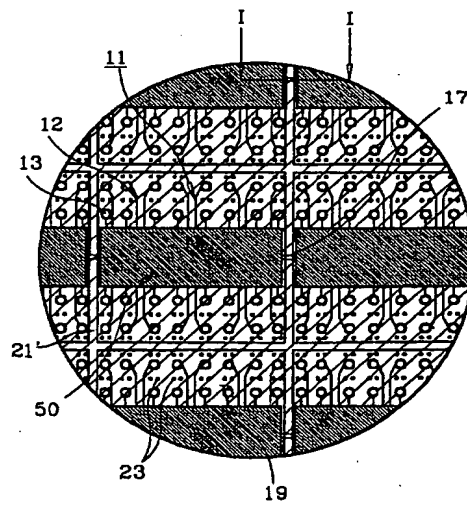
【図9】



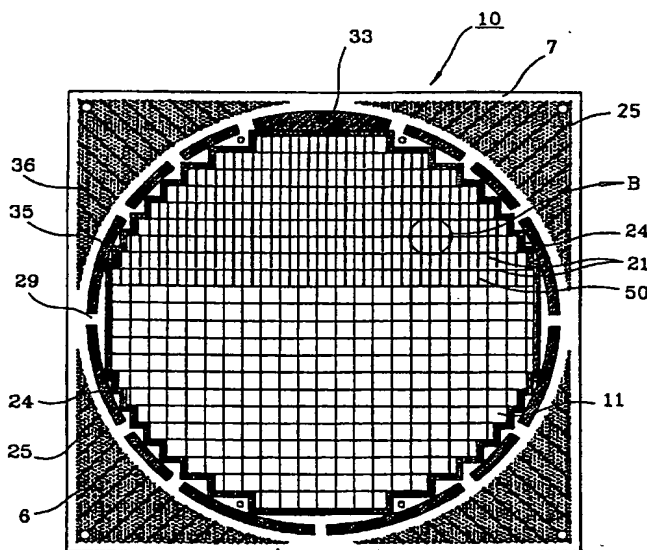
【図10】



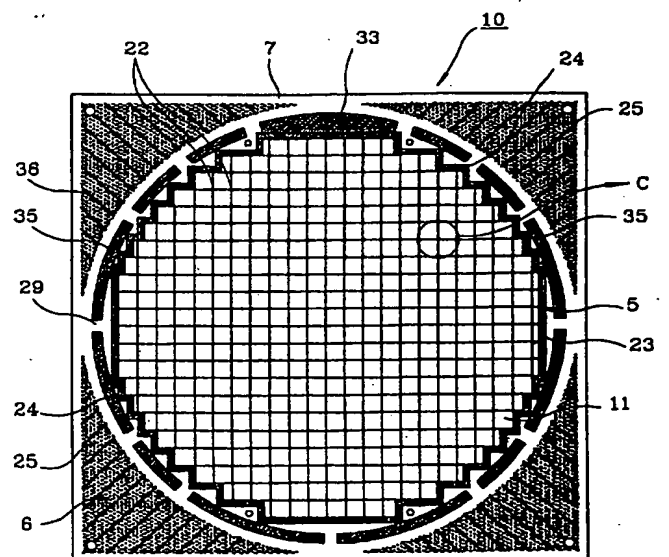
【図12】



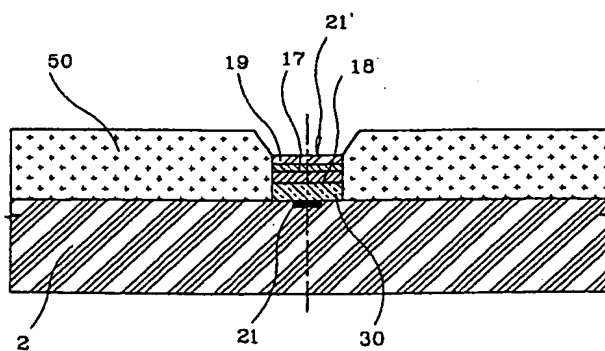
【図11】



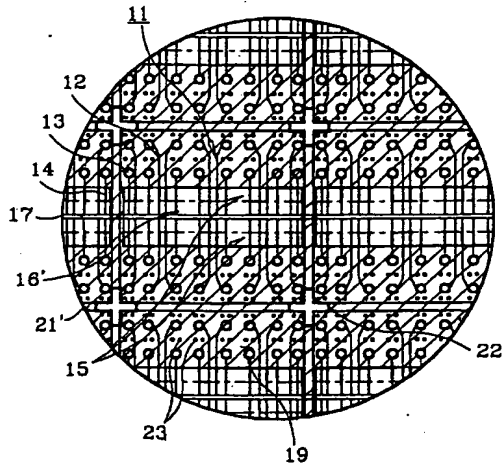
【図14】



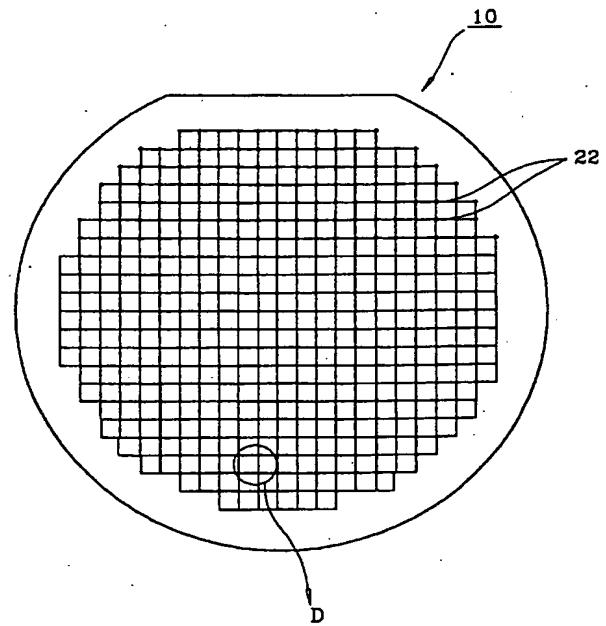
【図13】



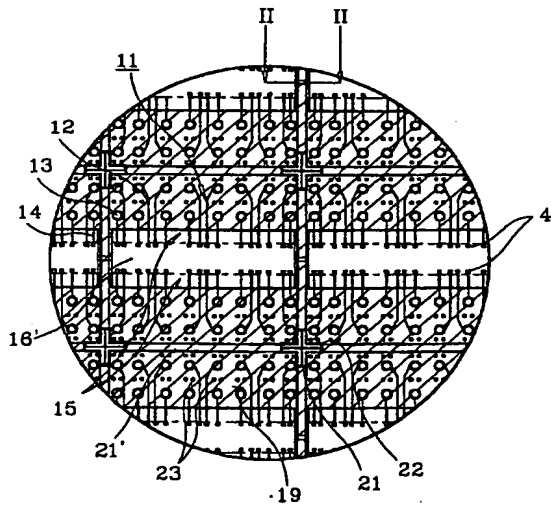
【図15】



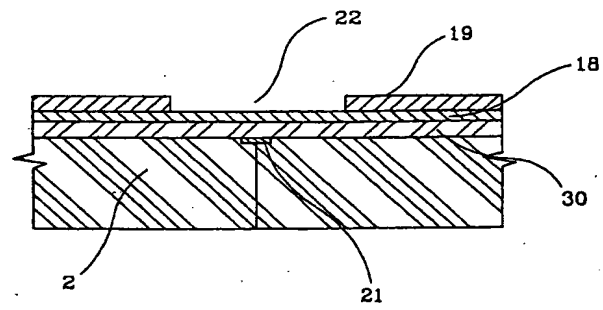
【図16】



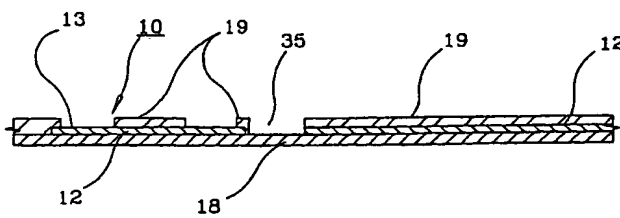
【図17】



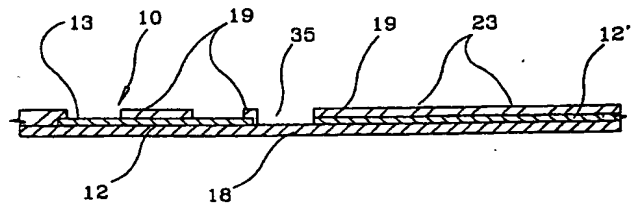
【図18】



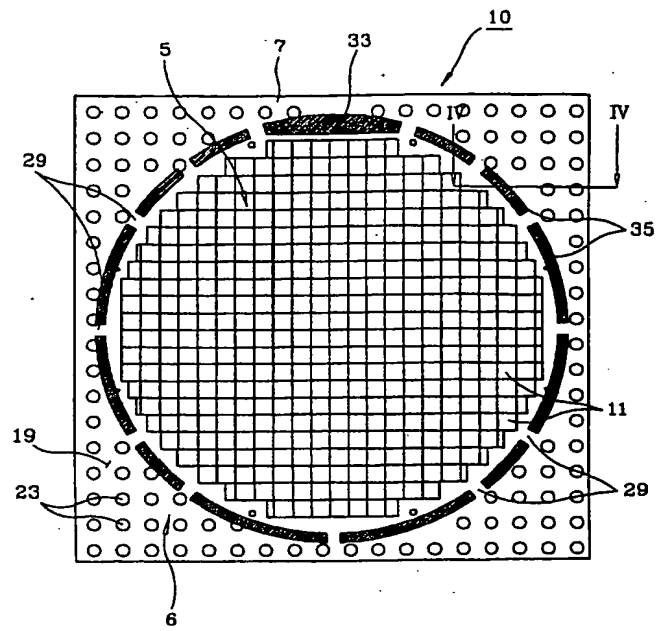
【図20】



【図22】

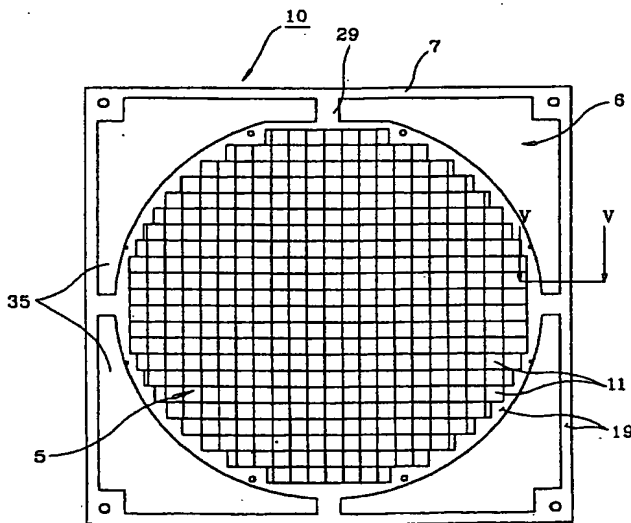


【图 19】

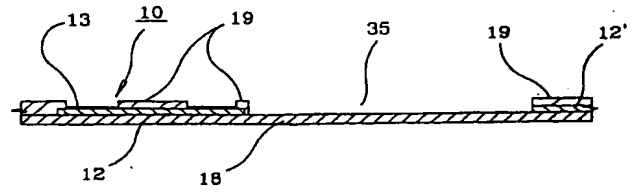


【図 2 1】

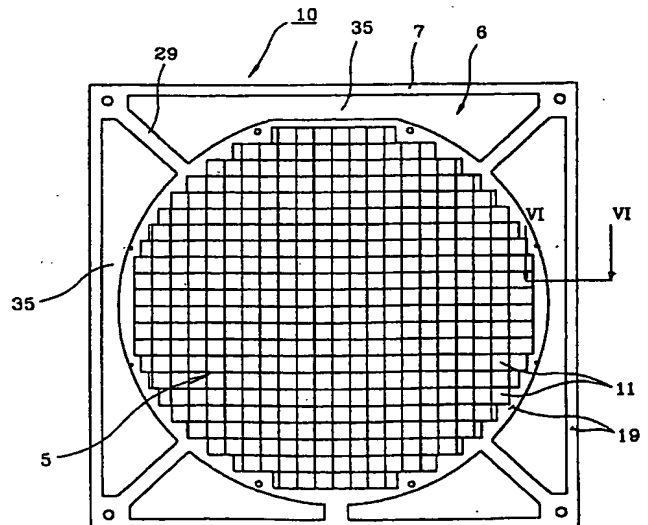
【图 2 3】



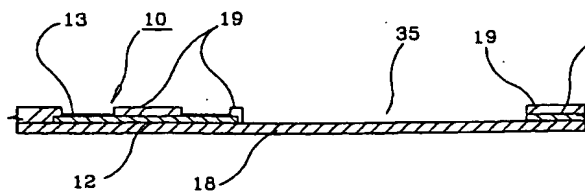
【图 2 4】



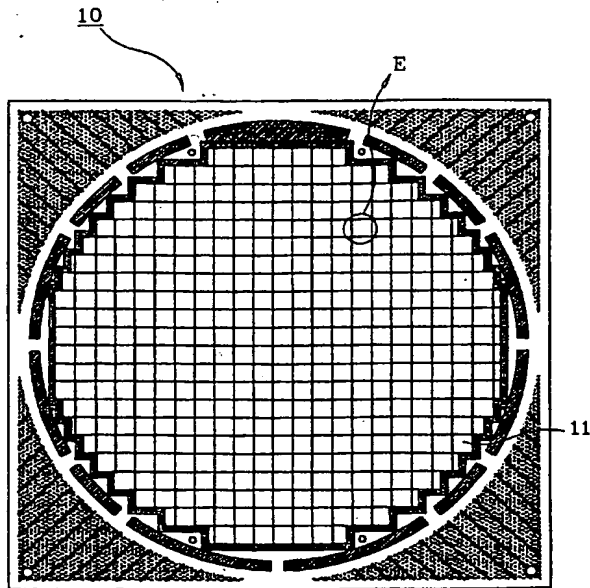
【图 2 5】



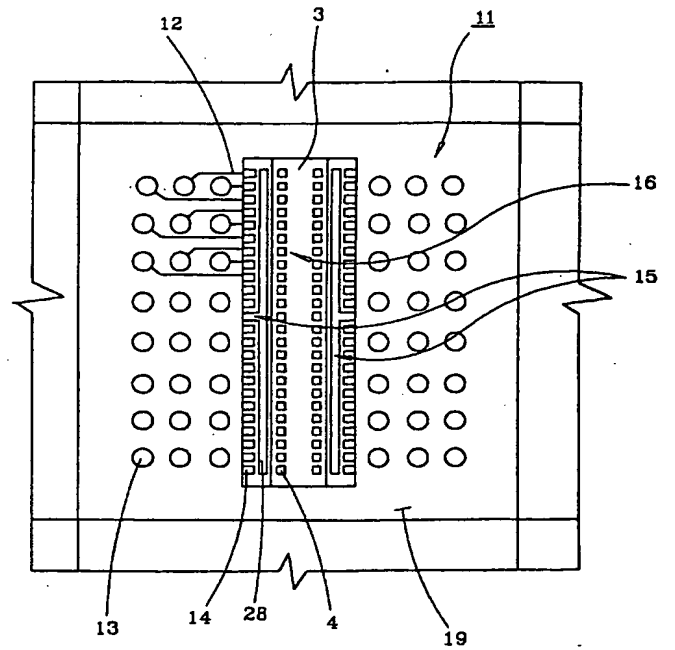
【图 2 6】



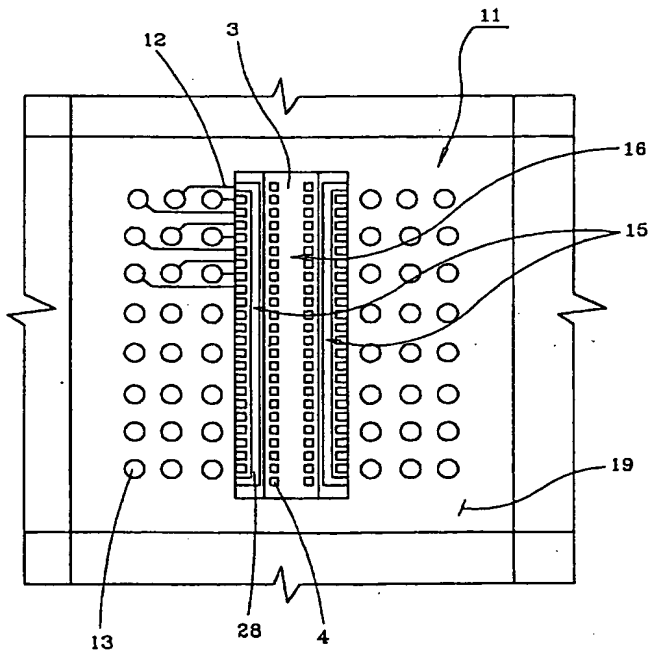
【図27】



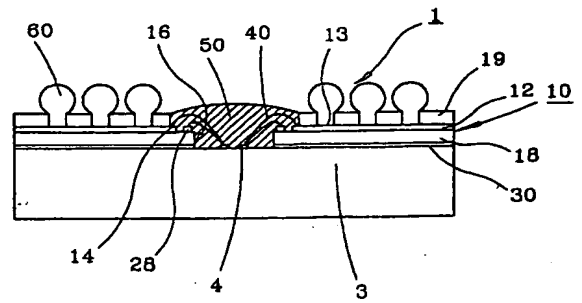
【図28】



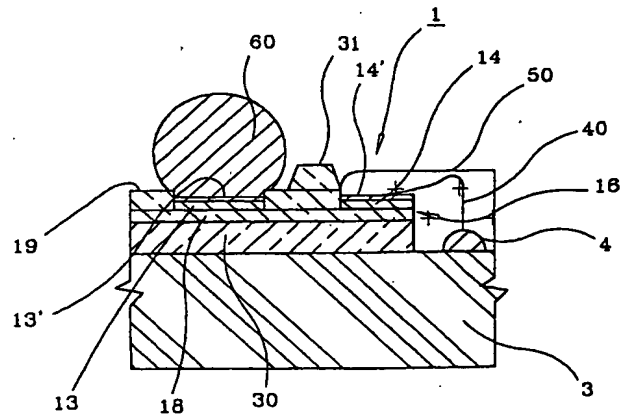
【図29】



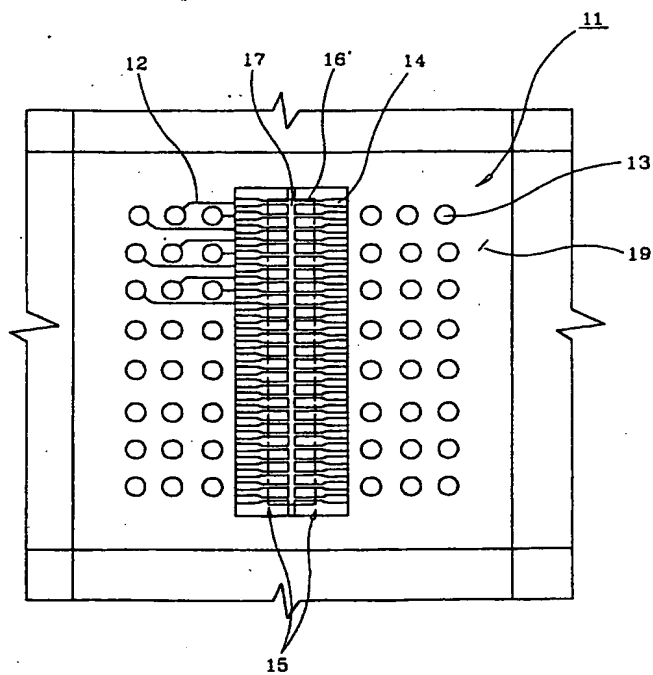
【図30】



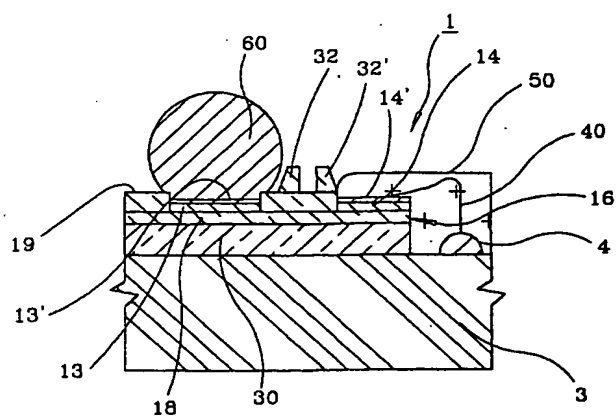
【図32】



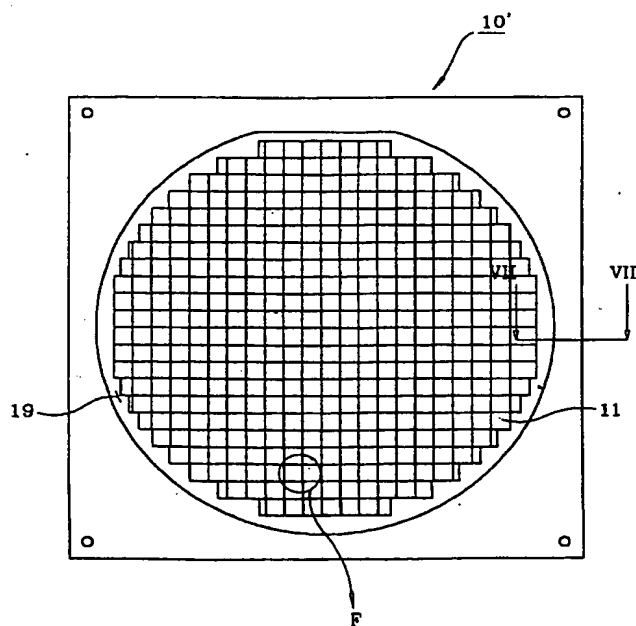
【図31】



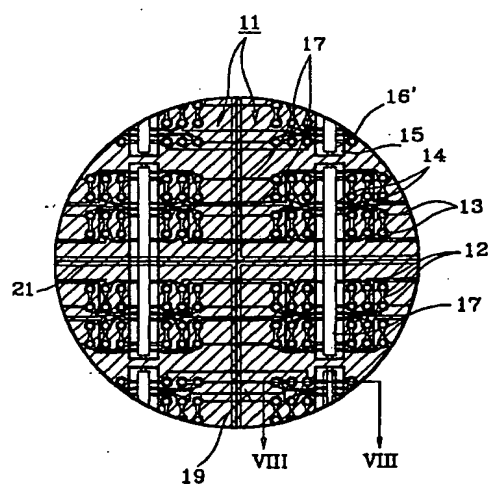
【図33】



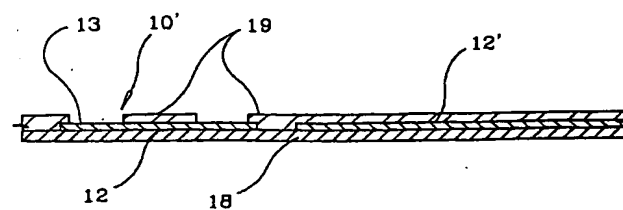
【図34】



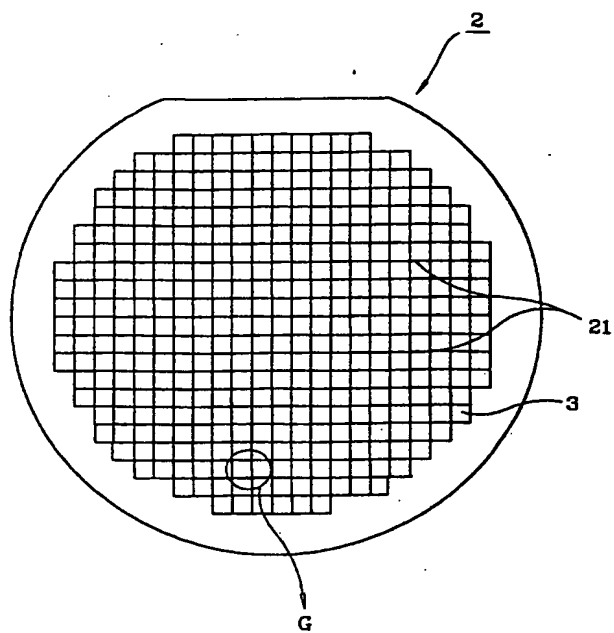
【図35】



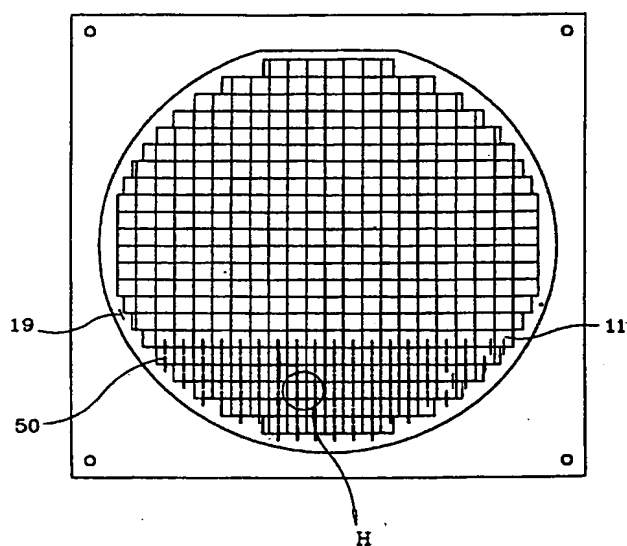
【図36】



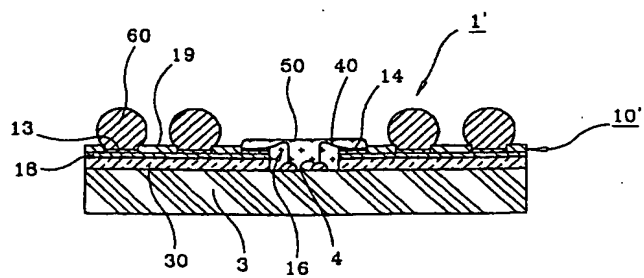
【图 38】



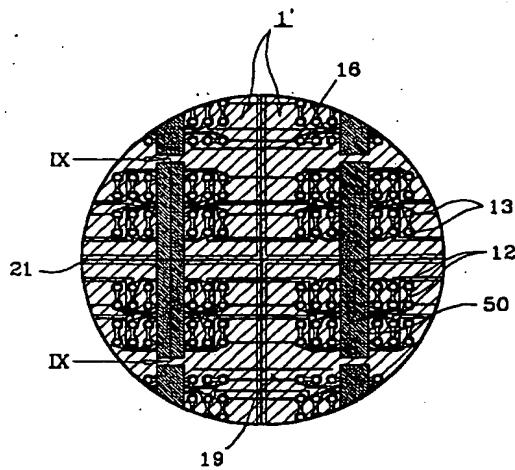
【图 40】



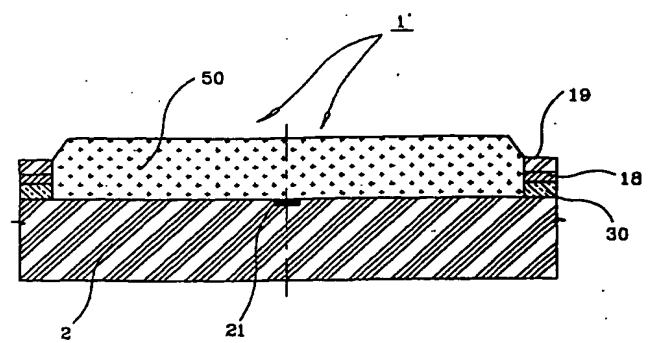
【图 4 3】



【図41】



【図42】



フロントページの続き

(31) 優先権主張番号 1998/P35613
 (32) 優先日 平成10年8月31日(1998. 8. 31)
 (33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 1998/P35615
 (32) 優先日 平成10年8月31日(1998. 8. 31)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 1998/P35616
 (32) 優先日 平成10年8月31日(1998. 8. 31)
 (33) 優先権主張国 韓国 (KR)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☒ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.